

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平3-293775

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月25日

H 01 L 29/788

7514-4M
8831-4M

H 01 L 29/78
27/10

3 7 1
4 3 3

※

審査請求 未請求 請求項の数 4 (全31頁)

⑭ 発明の名称 強誘電体コンデンサ及び半導体装置

⑯ 特 願 平2-320987

⑰ 出 願 平2(1990)11月27日

優先権主張 ⑱ 平1(1989)12月25日 ⑲ 日本(JP) ⑳ 特願 平1-332604

② 発 明 者	阿 部	和 秀	神奈川県川崎市幸区柳町70番地	株式会社東芝柳町工場内
② 発 明 者	豊 田	啓	神奈川県川崎市幸区柳町70番地	株式会社東芝柳町工場内
② 発 明 者	山 川	晃 司	神奈川県川崎市幸区柳町70番地	株式会社東芝柳町工場内
② 発 明 者	今 井	基 真	神奈川県川崎市幸区柳町70番地	株式会社東芝柳町工場内
② 発 明 者	原 田	光 雄	神奈川県川崎市幸区小向東芝町1番地	株式会社東芝総合 研究所内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外 3 名

最終頁に続く

明 細 書

1. 発明の名称

強誘電体コンデンサ及び半導体装置

2. 特許請求の範囲

(1) 基板上に設けられた強誘電体層と、前記強誘電体層の厚さ方向に互いに強誘電体を挟んで開口された複数の溝部と、前記各溝部内に前記強誘電体を挟んで対向するように充填された第1、第2の電極とを具備したことを特徴とする強誘電体コンデンサ。

(2) 前記第1、第2の電極は、前記溝部内で前記強誘電体との接触部以外に絶縁材を介して充填されることを特徴とする請求項1記載の強誘電体コンデンサ。

(3) 基板と、

前記基板上に設けられた絶縁膜と、

前記絶縁膜上に設けられた強誘電体層と、前記強誘電体層の厚さ方向に互いに強誘電体を挟んで開口された複数の溝部と、前記各溝部内に前記強誘電体を挟んで対向するように充填された第1、

第2の電極とからなる強誘電体コンデンサと、

前記基板上に設けられ、前記強誘電体コンデンサの第1、第2の電極のいずれか一方の電極と接続されるトランジスタと、

を具備したことを特徴とする半導体装置。

(4) 基板と、

前記基板上に設けられた絶縁膜と、

前記絶縁膜上に設けられた強誘電体層と、前記強誘電体層の厚さ方向に互いに強誘電体を挟んで開口された複数の溝部と、前記各溝部内に前記強誘電体を挟んで対向するように交互に充填された第1、第2の電極とからなる強誘電体コンデンサと、

前記基板上に設けられ、前記強誘電体コンデンサの第1の電極と接続されるトランジスタと、

前記強誘電体コンデンサの強誘電体層上に設けられ、前記コンデンサの第2の電極を共通に接続するための配線と、

を具備したことを特徴とする半導体装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、強誘電体コンデンサ及び前記コンデンサを備えた半導体装置に関する。

(従来の技術)

ダイナミック・ランダム・アクセス・メモリ(DRAM)を初めとする半導体集積回路において、大容量化、高集積化が進行するに伴ってメモリ・セル中のコンデンサが占める面積の割合が大きくなってきている。このため、例えば4MビットDRAMにおいてはメモリ・セル内のコンデンサとして半導体基板上に電極、誘電体層及び電極を積層したスタック構造や同基板に溝を掘り、溝内に薄い誘電体層を介して電極を埋め込んだトレンチ構造などの3次元構造が採用されている。しかしながら、今後更に集積化が進行することが予想されており、メモリ・セルの構造はますます複雑になることが考えられる。

このようなことから、誘電体膜として汎用なシ

リコンの酸化物や窒化物の代わりに大きな誘電率を持つ強誘電体を用いることによりコンデンサの構造を簡略化することが検討されている。例えば、典型的な強誘電体であるジルコン酸チタン酸鉛

(PZT)の比誘電率は1000以上であるため、前記強誘電体を有するプレーナ構造の強誘電体コンデンサは比較的小さな面積で電荷を蓄積することが可能である。

一方、強誘電体コンデンサを用いて電氣的に消去可能な不揮発性のランダム・アクセス・メモリ(RAM)を実現することが検討されている。前記不揮発性RAMは、強誘電体が電界と分極の間にヒステリシス特性をもつことを利用したものである。具体的には、前記強誘電体コンデンサは電界Eと電気分極Pとの間に第33図、第34図に見られるような関係がある。第33図はキュリー温度以下(強誘電相)、第34図はキュリー温度以上(常誘電相)で観測されるE-P特性線である。第33図の特性を有する強誘電体コンデンサは、電圧をゼロに戻しても印加した電圧の向きに応じた残留

分極が保持される。このため、前記強誘電体コンデンサを有する不揮発性のRAMは残留分極を示すキュリー温度以下(強誘電相)の状態で使用される。このような強誘電体に残留する電荷の向きを"0"と"1"に対応させることにより強誘電体コンデンサにデジタル情報を記憶させることが可能となる。一方、揮発性のDRAMでは第34図に示す残留分極を示さないキュリー温度以上(常誘電相)の状態で使用される。

また、第33図及び第34図のヒステリシス特性より理解されるように強誘電体コンデンサでは電界がある程度以上に高くなるとそれ以上分極Pは大きくならない、いわゆる分極の飽和現象が見られる。このため、強誘電体コンデンサにおいては強誘電体層を挟む電極間距離を短くする、つまり強誘電体層を薄くしても、通常の誘電体層を用いた場合のように電荷を多く蓄積するという効果は期待できない。逆に、強誘電体の絶縁耐圧は比較的低いために、電極間距離をシリコンの酸化物や窒化物を用いた場合より広くすることが望まれる。

従って、前記不揮発性のRAMに用いられる強誘電体コンデンサの電極間距離は使用電圧と強誘電体のしきい値電界(もしくは分極が飽和する電界)、絶縁耐圧などから決定することが望ましい。

ところで、プレーナ構造の強誘電体コンデンサを有する半導体装置としては、従来、第35図(A)、(B)に示すものが知られている。即ち、図中の301は、例えばp型のシリコン基板であり、該基板301の表面には素子領域を電氣的に分離するためのフィールド酸化膜302が形成されている。前記フィールド酸化膜302で囲まれた基板301の表面には、n⁺型のソース、ドレイン領域303、304が互いに電氣的に分離して形成されている。これらソース、ドレイン領域303、304間のチャンネル領域を含む基板301上には、ゲート酸化膜305が設けられ、かつ前記ゲート酸化膜305上には例えば多結晶シリコンからなるゲート電極306が形成されている。前記フィールド酸化膜302及びゲート電極306を含む基板301全面には、例えばSiO₂からなる第1の層間絶縁膜307が被覆

されている。前記ソース、ドレイン領域 303、304の一部に対応する前記層間絶縁膜 307には、コンタクトホール 308が開口されている。前記層間絶縁膜 307上には、前記ソース、ドレイン領域 303、304と前記コンタクトホール 308を通して接続される多結晶シリコンからなるソース電極（図示せず）、ドレイン電極 309がそれぞれ設けられている。前記ドレイン電極 309の他端には、面積の広い第1電極 310aが形成されている。前記ソース電極、ドレイン電極 309を含む前記層間絶縁膜 307上には、例えば SiO_2 からなる第2の層間絶縁膜 311が被覆されている。この層間絶縁膜 311の前記第1電極 310aに対応する部分には、穴 312が開口され、該穴 312内には P Z T 等からなる強誘電体層 313が充填されている。この強誘電体層 313を含む前記第2の層間絶縁膜 311上には、面積の広い第2電極 310bが設けられ、かつ該第2電極 310bには前記第2の該層間絶縁膜 311上に配置される配線 314が接続されている。

一般に、強誘電体コンデンサに蓄積する電荷量

性を低下させるという問題があった。

更に、ある種の強誘電体では決まった結晶軸に対してのみ自発分極を持つ。例えば、ニオブ酸鉛のように結晶の自発分極軸が面方向に向いた強誘電体層が形成される場合がある。かかる強誘電体層を用いて前述した第35図のようなプレーナ型のコンデンサを構成すると、電極 310a、310b間方向に強誘電体層 313の自発分極が向かないため、強誘電性を示さないという問題がある。

（発明が解決しようとする課題）

本発明の目的は、小さい面積で大きな電荷が蓄積できる強誘電体コンデンサを提供しようとするものである。

本発明の別の目的は、寄生容量の直列接続を回避して良好な強誘電性を有する強誘電体コンデンサを提供しようとするものである。

本発明の更に別の目的は、自発分極軸が面方向にのみ向いている強誘電体層を使用しても良好な強誘電性を示す強誘電体コンデンサを提供しようとするものである。

を多くするためには、電極間距離を短くせずに電極面積を大きくする必要がある。例えば、残留分極 P_r が 0.3 C/m^2 である強誘電体を使用してコンデンサを作製し、このコンデンサに 300 fC の電荷 Q を蓄積しようとする、前記電極面積は $1.0 \mu\text{m}^2$ 必要である。しかしながら、前述した第35図（A）、（B）に示す従来の半導体装置に組み込まれる強誘電体コンデンサはプレーナ構造であるため、電極面積の増大はそのままメモリ・セルの面積の増大を招き、微細化には限界があった。

また、前述した第35図（A）、（B）に示す半導体装置はスパッタ蒸着等により強誘電体層 313を形成するに際し、前記強誘電体層 313と下地である第1の層間絶縁膜 307との界面に低誘電率層が不可避免的に形成される。このため、かかる強誘電体コンデンサを有する半導体装置は第36図に示す等価回路となり、前記低誘電率層に起因する寄生コンデンサ C' が強誘電体コンデンサ C に直列に接続される。その結果、トータルの強誘電特

本発明の更に別の目的は、前記特性を有する強誘電体コンデンサを備えた半導体装置を提供しようとするものである。

〔発明の構成〕

（課題を解決するための手段）

本発明に係わる強誘電体コンデンサは、基板上に設けられた強誘電体層と、前記強誘電体層の厚さ方向に互いに強誘電体を挟んで開口された複数の溝部と、前記各溝部内に前記強誘電体を挟んで対向するように充填された第1、第2の電極とを具備したことを特徴とするものである。

前記基板としては、例えばガラス基板、シリコン基板等を挙げることができる。

前記強誘電体としては、例えばジルコン酸チタン酸鉛（P Z T）、ジルコン酸チタン酸ランタン鉛（P L Z T）、チタン酸鉛、チタン酸バリウム、チタン酸ビスマス、又はニオブ酸鉛、ニオブ酸ストロンチウム等が挙げられる。かかる強誘電体の中で、キュリー温度が室温より十分高い強誘電体（室温で強誘電相となる強誘電体）は不揮発性の

強誘電体メモリの記録媒体として使用できる。一方、キュリー温度が室温より低い強誘電体（室温で常誘電相となる強誘電体）はD R A Mのメモリ・セル用コンデンサとして使用できる。

前記溝部としては、例えば開口形状が長方形、又は正方形のもの等を挙げることができる。また、場合によっては第1、第2の電極のいずれか一方が充填される溝部の開口形状を枠形もしくは格子状としてもよい。この場合、通常、枠形もしくは格子状の内部には長方形または正方形の開口形状を有する溝が形成され、該溝に第1、第2の電極のうちの他方が充填される。

前記電極としては、例えばアルミニウム、多結晶シリコン、タングステン、白金、金等を挙げることができる。

前記第1、第2の電極は、前記溝部内で前記強誘電体との接触部以外に絶縁材を介在して充填することが可能である。かかる絶縁材としては、例えばシリコン酸化物、シリコン窒化物、アルミナ、マグネシア等を挙げることができる。

シリコン窒化物、アルミナ、マグネシア(MgO)等を挙げることができ、特にマグネシア単独または、シリコン酸化物及びマグネシアをこの順序で積層した2層構造の絶縁膜が好ましい。

前記基板上に設けられるトランジスタとしては、次のような構造のものが挙げられる。例えば、前記基板がシリコンからなり、前記基板に形成されたソース、ドレイン領域と、これら領域間のチャンネル領域を含む基板上に形成されたゲート絶縁膜と、この絶縁膜上に形成されたゲート電極とから構成されるM I Sトランジスタ。前記基板がガラスからなり、該基板に形成された半導体層と、前記半導体層に形成されたソース、ドレイン領域と、これら領域間のチャンネル領域を含む半導体層上に形成されたゲート絶縁膜と、この絶縁膜上に形成されたゲート電極とから構成される薄膜型のM I Sトランジスタ。

前記強誘電体コンデンサの第1、第2の電極のいずれか一方と前記トランジスタとの接続は、次のような形態が挙げられる。

前記基板と前記強誘電体層の間には、例えばシリコン酸化物、シリコン窒化物、アルミナ、マグネシア等からなる絶縁膜を介在させてもよい。また、前記強誘電体層上に前記絶縁膜を設けてもよい。

また、本発明に係わる半導体装置は基板と、

前記基板上に設けられた絶縁膜と、

前記絶縁膜上に設けられた強誘電体層と、前記強誘電体層の厚さ方向に互いに強誘電体を挟んで開口された複数の溝部と、前記各溝部内に前記強誘電体を挟んで対向するように充填された第1、第2の電極とからなる強誘電体コンデンサと、

前記基板上に設けられ、前記強誘電体コンデンサの第1、第2の電極のいずれか一方の電極と接続されるトランジスタと、

を具備したことを特徴とするものである。

前記基板としては、例えばガラス基板、シリコン基板等を挙げることができる。

前記絶縁膜としては、例えばシリコン酸化物、

①. 第1、第2の電極が充填される溝部のうち、一方の溝部底部を前記強誘電体膜及び絶縁膜を貫通して基板表面に形成された前記トランジスタのソース領域又はドレイン領域まで到達させ、前記一方の溝部内に充填した電極を前記領域に接続する形態。

②. 前記基板上の絶縁膜内部又は絶縁膜上に配線を形成し、前記配線を前記絶縁膜に開口したコンタクトホールを通して前記基板上に形成したトランジスタのソース領域又はドレイン領域に接続し、かつ第1、第2の電極が充填される溝部のうち、一方の溝部底部を前記配線表面まで到達させ、前記一方の溝部内に充填した電極を前記配線と接続させる形態。

前記強誘電体コンデンサの第1、第2の電極のうちいずれか一方の電極を前記トランジスタに接続した形態において、他方の電極は前記コンデンサの強誘電体層の表面側に配置した配線もしくは前記基板上に絶縁膜内部又は絶縁膜上に形成した配線に接続される。かかる強誘電体層の表面側に

配置した配線は、前記強誘電体層上に直接形成してもよいし、前記強誘電体層上に形成されたマグネシア、シリコン酸化物等からなる絶縁膜上に形成してもよい。また、前記強誘電体コンデンサの第1、第2の電極のうちいずれか一方の電極を前記トランジスタに接続された配線に接続した形態において、他方の電極は前記コンデンサの強誘電体層の表面側に配置した配線に接続される。

更に、本発明に係わる半導体装置は

基板と、

前記基板上に設けられた絶縁膜と、

前記絶縁膜上に設けられた強誘電体層と、前記強誘電体層の厚さ方向に互いに強誘電体を挟んで開口された複数の溝部と、前記各溝部内に前記強誘電体を挟んで対向するように交互に充填された第1、第2の電極とからなる強誘電体コンデンサと、

前記基板上に設けられ、前記強誘電体コンデンサの第1の電極と接続されるトランジスタと、

前記強誘電体コンデンサの強誘電体層上に設け

られ、前記コンデンサの第2の電極を共通に接続するための配線と、

を具備したことを特徴とするものである。

前記各溝部内に前記第1、第2の電極を前記強誘電体を挟んで対向するように交互に充填するには、例えば次のような形態が挙げられる。①例えば四角柱状の第1の電極を中心にしてその4辺に四角柱状の第2の電極を配置する形態。②四角柱状の第1の電極を中心にしてその3辺に四角柱状の第2の電極を配置する形態。③四角柱状の第1、第2の電極を列方向に交互に配置すると共に行方向にも列と同様な並び方で第1、第2の電極を配置する形態。

(作用)

本発明に係わる強誘電体コンデンサによれば、基板上に設けられた強誘電体層と、前記強誘電体層の厚さ方向に互いに強誘電体を挟んで開口された複数の溝部と、前記各溝部内に前記強誘電体を挟んで対向するように充填された第1、第2の電極とを具備した構造とすることによって、小さい

面積で大きな電荷が蓄積することが可能となる。

例えば、残留分極が 0.3 C/m^2 である強誘電体層を有するコンデンサを作製し、 300 fC の電荷が蓄積されるコンデンサを設計することを想定する。この場合、コンデンサの電極面積は $1.0 \mu\text{m}^2$ 必要である。かかる電極面積を従来のように強誘電体層の上下を電極で挟むプレーナ構造で実現するには、例えば $1.0 \times 1.0 \mu\text{m}$ の面積の電極を形成する必要があるが、コンデンサは同様な $1.0 \times 1.0 \mu\text{m}$ の面積を占有する。これに対し、本発明に係わる強誘電体コンデンサにおいては例えば第4図に示すように基板1上に厚さ $2 \mu\text{m}$ の強誘電体層2を形成し、この強誘電体層2に開口面積が $0.5 \times 0.2 \mu\text{m}$ 、深さが $2.0 \mu\text{m}$ の2つの溝部3a、3bを $0.1 \mu\text{m}$ 間隔で形成し、これら溝部3a、3bに金属を充填して第1、第2電極4a、4bとすると、実効的な電極面積は $1.0 \mu\text{m}^2$ となる。かかる構造を採用することによりコンデンサの占有面積は、 $0.5 \times 0.5 \mu\text{m}$ になるため、同等の電極面積を持つ前記従来のプレーナ構造のコンデン

サの $1/4$ の占有面積に抑えることができる。

また、基板上の強誘電体層に複数の溝部を前記強誘電体層の厚さ方向に互いに強誘電体を挟んで開口し、これら溝部内に第1、第2の電極を前記強誘電体を挟んで対向するように充填することによって、前記強誘電体層の堆積時に該強誘電体層と下地の間に不可避免的に生じる低誘電率層に起因する寄生容量は強誘電体容量に直列に接続されず、並列的に接続される。その結果、強誘電特性の優れた強誘電体コンデンサを得ることができる。

更に、本発明によれば強誘電体層の面方向に沿って電界を加える構造であるため、自発分極軸が面方向にのみ向いている強誘電体層を使用しても、良好な強誘電性を示す強誘電体コンデンサを実現できる。

更に、溝部内に第1、第2の電極を低誘電率の絶縁材を介して充填する構造とすることによって、前記絶縁材でコンデンサ間、コンデンサと配線間の電気的な分離が可能となるため、誤動作が少なく、しかも浮遊容量に起因する遅延時間が小

さい多数のコンデンサを同一基板上に配列、集積化したコンデンサ・アレイを実現できる。これは、電極の上面及び第1、第2の電極間の対向側面を除く側面及び底面が前記絶縁材中に埋め込まれるため、前記絶縁材上の領域を配線領域として利用することができるためである。この場合、コンデンサの第1、第2の電極のうちいずれか一方の電極が前記絶縁材上に引出され、同様にして引出された別のコンデンサの電極との共通電極となる配線を形成することが可能となる。

更に、前記強誘電体コンデンサを構成する強誘電体層中にNa、Kなどのアルカリ金属、Fe、Cuなどの重金属の不純物、又は結晶欠陥等が多く含まれると、前記コンデンサの初期特性（誘電率、D-Eヒステリシス特性）を変化させるのみならず、これらの不純物、欠陥が動作中に可動イオンとして拡散乃至ドリフトにより移動し易くなる。その結果、誘電特性、強誘電特性の経時変化を引起し、強誘電体の信頼性を低下させる。また、強誘電体の結晶中の格子位置や格子間位置に

への電界の印加は前記強誘電体層の面方向になされる。その結果、前記強誘電体層と絶縁膜の界面に偏析された不純物、欠陥が前記電界の印加により可動イオンとして電極間の強誘電体層に拡散乃至ドリフトされるのを抑制でき、誘電特性、強誘電特性の良好な強誘電体コンデンサを得ることができる。

更に、本発明に係わる半導体装置によれば基板；前記基板上に設けられた絶縁膜；前記絶縁膜上に設けられた強誘電体層と、前記強誘電体層の厚さ方向に互いに強誘電体を挟んで開口された複数の溝部と、前記各溝部内に前記強誘電体を挟んで対向するように充填された第1、第2の電極とからなる強誘電体コンデンサ；前記基板上に設けられ、前記強誘電体コンデンサの第1、第2の電極のいずれか一方の電極と接続されるトランジスタ；を具備した構造とすることによって、以下に列挙する種々の優れた特性を発揮できる。

(1) 同一基板上に多数の強誘電体コンデンサを配列した高集積度のDRAMや強誘電体メモリを

実装した不純物は、強誘電体の禁制帯中に不純物準位を生成し、電子-正孔の再結合中心として働く。その結果、強誘電体コンデンサのリーク電流の増大の原因となる。

前述した第35図(A)、(B)に示す従来のプレーナ構造の強誘電体コンデンサにおいては、強誘電体層の上下に第1、第2の電極を配置しているため、前記不純物や結晶欠陥等が強誘電体層と電極の界面に偏析し易い。その結果、熱処理によるゲッターリングは強誘電体コンデンサの誘電特性、強誘電特性をむしろ劣化させる恐れがある。

これに対し、本発明に係わる強誘電体コンデンサにおいて強誘電体層の下面又は上下面にシリコン酸化物等の絶縁膜を設け、所望の温度、雰囲気中で熱処理を行うと、前記強誘電体層中の不純物や結晶欠陥を前記強誘電体層と絶縁膜の界面もしくは絶縁膜中に偏析させることができる。前記強誘電体コンデンサは、前記強誘電体層の厚さ方向に複数の溝部を開口し、これら溝部に第1、第2の電極を充填する構造であり、第1、第2の電極間

実現できる。即ち、DRAMや強誘電体メモリではマトリックス状にメモリ・セルが配列されている。各メモリ・セルは、通常1ないし2個のコンデンサと、シリコン基板上に形成された1ないし2個のトランジスタから構成されている。前記強誘電体コンデンサの第1電極は基板上のトランジスタに接続され、第2電極は共通電極として接続される。かかる構造において、トランジスタのゲート電極をY方向のワード線に接続し、強誘電体コンデンサの第1電極を前記トランジスタを介してX方向のビット線に接続し、特定のワード線、ビット線を選択することによって、特定のメモリ・セルをアクセスすることができる。

(2) 前記強誘電体コンデンサの第1電極を前記基板上に形成されたトランジスタのソース又はドレイン領域に接続することによって、強誘電体層表面での配線形成を省略できると共に、配線長さを短くできる。また、第2電極は強誘電体層の上部側または絶縁膜内部もしくは絶縁膜と強誘電体層の間の配線から取出され、幾つかの強誘電体コ

ンデンサの第2電極と共通に接続される。共通の配線に接続される第2電極は、同一行や同一列にのみ配列された強誘電体コンデンサに設けられたものでもよく、配列された全ての強誘電体コンデンサに設けられたものでもよい。前者の配線構造では、第2電極に接続された共通配線を例えば強誘電体メモリのドライブ線として使用できる。後者の配線構造では第2電極に接続された共通配線を例えばDRAMのプレート線として使用できる。従って、これらの配線構造を採用することによって強誘電体コンデンサを有するメモリ・セルが集積された高集積度のDRAMや強誘電体メモリを実現できる。

(3) 強誘電体層の上面に第1、第2の電極のいずれか一方の電極と接続される配線を設けたり、前記一方の電極の上端を強誘電体から突出させると共に該電極自体で配線をも形成して強誘電体上を横切らせたり、或いは電極上端が強誘電体層上に被って加工されると、配線等を通して強誘電体層に電圧を印加した場合、電極近傍の強誘電体層

された第2電極によって抑制できる。その結果、コンパクトで高密度かつ高信頼性の強誘電体コンデンサを有する強誘電体メモリを実現できる。

(実施例)

以下、本発明の実施例を図面を参照して詳細に説明する。

実施例1

第1図(A)は、本実施例1の強誘電体コンデンサ・アレイを示す平面図、同図(B)は同図

(A)のB-B線に沿う断面図である。図中の11は、シリコン基板であり、該基板11表面には例えば熱酸化により成長された絶縁膜であるシリコン酸化膜12が被覆されている。このシリコン酸化膜12上には、例えばCVD法により堆積された厚さ5000Åの絶縁膜であるMgOからなるバッファ層13が被覆されている。このバッファ層13は、プロセス中に後述する強誘電体層のPb等が基板11側に拡散、反応するのを抑制する作用を有する。前記バッファ層13上には、例えばRFスパッタリングにより厚さ2μmのジルコン酸チタン酸鉛から

の面に被る配線等の箇所で電界集中を生じる。かかる場合、強誘電体層の上面側に低誘電性の絶縁膜を配置することによって、前記電界集中を回避できる。

半導体装置

更に、本発明に係る基板；前記基板上に設けられた絶縁膜；前記絶縁膜上に設けられた強誘電体層と、前記強誘電体層の厚さ方向に互いに強誘電体を挟んで開口された複数の溝部と、前記各溝部内に前記強誘電体を挟んで対向するように交互に充填された第1、第2の電極とからなる強誘電体コンデンサ；前記基板上に設けられ、前記強誘電体コンデンサの第1の電極と接続されるトランジスタ；前記強誘電体コンデンサの強誘電体層上に設けられ、前記コンデンサの第2の電極を共通に接続するための配線；を具備した構造することによって、例えば第1電極に対して第2電極を少なくとも2つ対向配置できるため、第1電極に対して少なくとも2つの容量がぶらさがった強誘電体コンデンサを備えた構造にできる。また、第1電極間でのクロストークもそれらの電極間に配置

なる強誘電体層14が被覆されている。この強誘電体層14は、 $Pb(Zr_{0.52}Ti_{0.48})O_3$ の組成をもつセラミックス・ターゲットを用いて800℃でRFスパッタリングを行なって成膜されたものである。

また、前記強誘電体層14には長さ1.0μm、幅0.5μm、深さ2μmの矩形柱状をなす2つの溝部15a、15bが約0.5μm間隔で開口されている。こうした2つの溝部15a、15bは、前記強誘電体層14に複数組(例えば500組)開口されている。なお、前記溝部15a、15bはフッ素系の反応性ガスを用いたイオンエッチングによるリソグラフィ技術により形成される。前記各溝部15a、15bには、金属タングステンからなる第1、第2の電極16a、16bが充填されている。これら電極16a、16bは、例えば六フッ化タングステンを水素ガスで還元するCVD法により形成される。前記強誘電体層14上には、Al配線17a、17bがそれぞれ配設されている。これら配線17a、17bの一端は、前記強誘電体層14表面露出した前記複数組の第1、

第2の電極16a、16bにそれぞれ接続され、他端側は1本の配線で共通化されている。

このような構成のコンデンサ・アレイによれば、対をなす溝部15a、15b内に第1、第2の電極16a、16bを充填し、溝部15a、15b間の強誘電体層14部分を前記第1、第2の電極16a、16bで挟んだ構造の複数のコンデンサを強誘電体層14に配列することによって、小さい面積で大きな電荷が蓄積することができる。

また、上記構成のコンデンサ・アレイについて共通の配線17a、17bにより各第1、第2の電極16a、16b間に電圧を印加することにより、第2図に示す電圧と電荷のヒステリシス特性図が得られた。この第2図から、第1、第2の電極16a、16b及びこれら電極16a、16b間に配置された強誘電体層14部分からなるコンデンサはメモリ特性を有することが確認された。

更に、前記コンデンサの第1、第2の電極16a、16b間に方形波パルス印加し、この時コンデンサに流れ込む過渡電流を観測したところ、第3図

に示すスイッチング特性図が得られた。第3図中のAは印加電圧波形、B₁は反転電流波形、B₂は非反転電流波形をそれぞれ示す。この第3図からも実施例1の各コンデンサがメモリ特性を有すること、分極反転に要する時間が約10ns程度であることが確認された。

実施例2

本実施例2は、強誘電体コンデンサ・アレイに適用したもので、このアレイを第5図(A)、(B)～第8図(A)、(B)に示す製造工程を併記して説明する。

まず、シリコン基板41を熱酸化してその表面に絶縁膜であるシリコン酸化膜42を成長した後、CVD法により該シリコン酸化膜42上に絶縁膜である厚さ5000ÅのMgOからなるバッファ層43を堆積した。つづいて、このバッファ層43上に(Zr_{0.52}Ti_{0.48})O₃の組成をもつセラミックス・ターゲットを用いて600℃でRFスパッタリングを行なうことにより厚さ2.5μmのジルコニウム酸チタン酸鉛からなる強誘電体層44を被覆した。

ひきつづき、前記強誘電体層44を塩素系の反応性ガスを用いたイオンエッチングによるリソグラフィ技術により選択的にエッチングして幅1μm、深さ2μmの枠状溝45を開口した。こうした枠状溝45の開口により、第5図(A)、(B)に示すように矩形柱46が形成される。

次いで、SiH₄とN₂Oを原料ガスとしたプラズマCVD法によりプラズマSiO₂膜47を前記枠状溝45を含む強誘電体層44上に堆積した(第6図(A)、(B)図示)。

次いで、前記プラズマSiO₂膜47及び強誘電体からなる矩形柱46の一部を塩素系の反応性ガスを用いたイオンエッチングによるリソグラフィ技術により選択的にエッチングして幅0.5μm、長さ1.0μm、深さ1.8μmの対をなす溝部48a、48bを複数組(例えば500組)開口した(第7図(A)、(B)図示)。

次いで、前記各一对の溝部48a、48bに六フッ化タンゲステンを水素ガスで還元するCVD法により金属タンゲステンからなる第1、第2の電極

49a、49bを充填した。つづいて、プラズマSiO₂膜47の全面にAl膜を蒸着し、パターニングしてAl配線50a、50bを形成した(第8図(A)、(B)図示)。これら配線50a、50bの一端は、前記プラズマSiO₂膜47の表面に露出した前記複数組の第1、第2の電極49a、49bにそれぞれ接続され、他端側は1本の配線で共通化されている。

このような構成の強誘電体コンデンサ・アレイによれば、各溝部48a、48b内に第1、第2の電極49a、49bを充填し、溝部48a、48b間の強誘電体層44部分を各電極49a、49bで挟んだ構造の複数のコンデンサを強誘電体層44に配列することによって、小さい面積で大きな電荷が蓄積することができる。

また、上記構成の強誘電体コンデンサ・アレイについて共通の配線50a、50bにより各第1、第2の電極49a、49b間に電圧を印加することにより、前述した第2図に示す電圧と電荷のヒステリシス特性図が得られ、各コンデンサはメモリ特性

を有することが確認された。更に、前記コンデンサの第1、第2の電極49a、49b間に方形波パルスを印加し、この時コンデンサに流れ込む過渡電流を観測したところ、前述した第3図に示すスイッチング特性図が得られ、各コンデンサがメモリ特性を有すること、分極反転に要する時間が約10 ns程度であることが確認された。

実施例3

第9図は、本実施例3に係わる複数の強誘電体コンデンサを有する強誘電体メモリを示す断面図である。図中の21は、例えばp型のシリコン基板であり、該基板21の表面には素子領域を電気的に分離するためのフィールド酸化膜22が形成されている。前記フィールド酸化膜22で囲まれた基板21の表面には、 n^+ 型のソース、ドレイン領域23、24が互いに電気的に分離して形成されている。これらソース、ドレイン領域23、24間のチャンネル領域を含む基板21上には、ゲート酸化膜25を介して例えば多結晶シリコンからなるゲート電極26が形成されている。このようなソース、ドレイン領

域23、24、ゲート酸化膜25及びゲート電極26によりMOSトランジスタが構成される。前記フィールド酸化膜22及びゲート電極26を含む基板21全面には、例えば SiO_2 からなる第1の層間絶縁膜27が被覆されている。前記ソース、ドレイン領域23、24の一部に対応する前記層間絶縁膜27には、コンタクトホール28が開口されている。前記層間絶縁膜27上には、前記ソース、ドレイン領域23、24と前記コンタクトホール28を通して接続される多結晶シリコンからなるソース電極29、ドレイン電極30がそれぞれ設けられている。

前記ソース電極29、ドレイン電極30を含む前記層間絶縁膜27上には、例えば SiO_2 からなる第2の層間絶縁膜31が被覆されている。この層間絶縁膜31上には、例えばCVD法により堆積された絶縁膜である厚さ5000Åの MgO からなるバッファ層32が被覆されている。前記バッファ層32上には、例えば厚さ2μmのジルコン酸チタン酸鉛からなる強誘電体層33が被覆されている。前記強誘電体層33には、前記バッファ層32、第2の層間絶

縁膜31を貫通して前記ドレイン電極30表面に達する溝部34a、及び前記バッファ層32表面まで達する溝部34bが長さ1.0μm、幅0.5μm、深さ2μmの矩形状をなし、約0.5μm間隔で開口されている。こうした一対の溝部34a、34bは、前記強誘電体層33に複数組開口されている。前記各溝部34a、34bには、金属タングステンからなる第1、第2の電極35a、35bが充填されている。前記第1電極35aは、前記強誘電体層33下方のドレイン電極30に直接接続される。前記強誘電体層33上には、A₂配線36が配設されており、かつ該配線36の一端は、前記強誘電体層33の列方向に表面を露出した前記複数組の電極のうちの第2電極35bに接続されている。このように第1電極35aは、基板21に形成されたMOSトランジスタのドレイン領域24に接続され、第2電極35bは強誘電体層33表面側の配線36に接続される。かかる強誘電体メモリは、第10図に示す等価回路となる。なお、第10図中のTrは前記ソース、ドレイン領域23、24、ゲート酸化膜25及びゲート電極26で構成

されるMOSトランジスタ、Cは前記第1、第2電極35a、35b及びこれらの間に挟まれた強誘電体層33部分で構成される強誘電体コンデンサ、Bは前記ソース電極29と繋がるビット線、Wは前記トランジスタTrのゲート電極26に繋がるワード線、Dは前記配線36としてのドライブ線（もしくはプレート線）である。

このような構成によれば、強誘電体層33に開口した溝部34a、34b内に第1、第2の電極35a、35bを充填し、溝部34a、34b間の強誘電体層33部分を該電極35a、35bで挟んだ構造の複数のコンデンサを強誘電体層33に配列することによって、小さい面積で大きな電荷が蓄積することができる。しかも、第1電極35aを強誘電体層33の下方に配置され、シリコン基板21のドレイン領域24と接続されたドレイン電極30と接続することによって、強誘電体層33表面側での配線形成を省略できると共に、配線長さを短くできる。従って、こうしたコンデンサの電極構造及び配線構造を採用することによって強誘電体コンデンサを有するメモリ・

セルが高密度に集積された強誘電体メモリを実現できる。

また、このような強誘電体メモリについて、シリコン基板21に適当な周辺回路を形成することによって、マトリックス状に配列されたメモリ・セルのうち任意のセルに対して情報の書き込み、読み出しを行うことができ、かつその情報を記憶できる。

更に、前記強誘電体層33とこの下地であるパッファ層32の界面に不可避免的に低誘電率層が形成される。こうした低誘電率層が強誘電体層33とパッファ層32の界面に形成された構造において、本発明では前記強誘電体層33と前記パッファ層32の界面を貫通する矩形柱状の溝部34a、34bを開口すると共にこれら溝部34a、34b内に第1、第2の電極35a、35bを充填し、前記低誘電率層に対して前記各電極35a、35bが垂直もしくはそれに近い状態で対向させることによって、前記低誘電率層に起因する寄生容量C'は第11図の等価回路に示すように強誘電体コンデンサCに対して並列的

に多結晶シリコンからなるゲート電極66が形成されている。このようなソース、ドレイン領域63、64、ゲート酸化膜65及びゲート電極66によりMOSトランジスタが構成される。前記フィールド酸化膜62及びゲート電極66を含む基板61全面には、例えばSiO₂からなる層間絶縁膜67が被覆されている。この層間絶縁膜67上には、絶縁膜であるMgOからなるパッファ層68が被覆されている。このパッファ層68上には、例えばジルコン酸チタン酸鉛からなる強誘電体層69が被覆されている。この強誘電体層69表面から前記パッファ層68及び層間絶縁膜67を貫通して前記基板61のドレイン領域64まで達する矩形柱状の溝部70aが開口され、該溝部70a内には金属タングステンからなる第1電極71aが充填されている。なお、前記第1電極71aの上端側はエッチングによる加工の関係から前記強誘電体層69表面にオーバーラップして庇部72が形成されている。前記強誘電体層69上には、例えば低融点ガラスからなる絶縁層73が被覆されている。この絶縁層73表面から前記強誘電体層69

に接続される。従って、前述した第35図、第36図に示す従来のプレーナ型強誘電体コンデンサのように寄生容量が直列に接続されるのを回避できるため、強誘電特性の優れた強誘電体コンデンサを得ることができる。なお、かかる効果は前記実施例1、2のように第1、第2の電極がパッファ層と強誘電体層の界面に達する強誘電体コンデンサにおいても同様に実現できる。

実施例4

第12図(A)は、本実施例4の強誘電体コンデンサを有する強誘電体メモリを示す平面図、同図(B)は同図(A)のB-B線に沿う断面図である。図中の61は、例えばp型のシリコン基板であり、該基板61の表面には素子領域を電気的に分離するためのフィールド酸化膜62が形成されている。前記フィールド酸化膜62で囲まれた基板61の表面には、n⁺型のソース、ドレイン領域63、64が互いに電気的に分離して形成されている。これらソース、ドレイン領域63、64間のチャンネル領域を含む基板61上には、ゲート酸化膜65を介して例え

を貫通して前記パッファ層68表面まで達する矩形柱状の溝部70bが開口され、該溝部70b内には金属タングステンからなる第2電極71bが充填されている。なお、前記第2電極71bの上端は絶縁層73から突出し、該電極形成材料である金属タングステンのバターニングにより前記ゲート電極66と同一方向に延びる配線74が一体的に接続されている。

このような構成によれば、強誘電体層69に開口された溝部70a、70b内に第1、第2の電極71a、71bを充填し、溝部70a、70b間の強誘電体層69部分を該電極71a、71bで挟んだ構造の複数のコンデンサを強誘電体層69に配列することによって、小さい面積で大きな電荷が蓄積することができる。しかも、第1電極71aをシリコン基板61上に形成されたMOSトランジスタのドレイン領域64と直接接続することによって、強誘電体層69表面側での配線形成を省略できると共に、配線長さを短くできる。従って、こうしたコンデンサの電極構造及び配線構造を採用することによって、強誘電体

コンデンサを有するメモリ・セルが高密度で集積された強誘電体メモリを実現できる。

また、このような強誘電体メモリについて、シリコン基板61に適当な周辺回路を形成することによって、マトリックス状に配列されたメモリ・セルのうち任意のセルに対して情報の書き込み、読み出しを行うことができ、かつその情報を記憶できる。

更に、第2電極71bの底部をバッファ層68表面で止めることによって、該バッファ層68の下領域(層間絶縁膜67の領域)に配線を配置することが可能となり、多層配線構造を有する高密度に集積された強誘電体メモリを実現できる。

実施例5

第13図は、本実施例5の強誘電体コンデンサを有する強誘電体メモリを示す断面図である。なお、前述した第12図と同様なものは同符号を付して説明を省略する。本実施例5の強誘電体コンデンサは、強誘電体層69上に例えばMgO等からなる別の絶縁膜75を被覆し、この絶縁膜75表面から前記

強誘電体層69、バッファ層68及び層間絶縁膜67を貫通してシリコン基板61のドレイン領域64まで達する矩形柱状の溝部70aを開口し、該溝部70a内に金属タングステンからなる第1電極71aを充填した強誘電体コンデンサを有する構造になっている。なお、前記第1電極71aの上端側はエッチングによる加工の関係から前記絶縁膜75表面にオーバーラップして底部72が形成されている。

このような構成によれば、シリコン基板61に形成したトランジスタ及び配線74により第1、第2の電極71a、71b間に電圧を印加した場合、前記第1電極71aの底部72での強誘電体層69への電界集中を緩和できる。

即ち、前述した実施例4のように第1電極71aの上端側にエッチングによる加工の関係から前記強誘電体層69表面にオーバーラップする底部72を形成すると、第1、第2の電極71a、71b間に電圧を印加した場合、前記第1電極71aの底部72近傍の強誘電体層69に電界集中を生じると共に、強誘電体層69に印加される電界が不均一となる。強誘

電体層69への電界集中は、コンデンサの耐圧を下げ、電界の不均一化は前述した強誘電体コンデンサの自発分極が反転するしきい値電圧が不安定となり、メモリとして使用する際の障害となる。本実施例5では、前記強誘電体層69上に更に絶縁膜75を被覆し、第1電極71aの底部72を該絶縁膜75上に配置することによって、該底部72が位置する強誘電体層69の箇所での電界集中を緩和でき、強誘電体層69に均一な電界を印加できるため、耐圧及び強誘電特性の優れた強誘電体コンデンサを有する強誘電体メモリを得ることができる。なお、本発明者らの実験によれば、本実施例5で構成される強誘電体コンデンサはその耐圧が前述した実施例4の同コンデンサに比べて1.3～1.6程度と向上できることが確認された。

実施例6

本実施例6は、強誘電体コンデンサを有する強誘電体メモリに適用したもので、このメモリを第14図(a)～(i)に示す製造工程を参照して説明する。

まず、例えばp型のシリコン基板61を選択酸化して該基板61の表面に素子領域を電気的に分離するためのフィールド酸化膜62を形成する。つづいて、前記フィールド酸化膜62で囲まれた基板61の表面を熱酸化して薄い酸化膜を形成し、全面に例えば砒素等の不純物を含む多結晶シリコン膜を堆積した後、これら多結晶シリコン膜及び酸化膜をパターンニングして前記基板61上にゲート酸化膜65を介してゲート電極66を形成する。ひきつづき、前記フィールド酸化膜62及びゲート電極66をマスクとしてn型不純物、例えば砒素を基板61にイオン注入し、活性化して互いに電気的に分離されたn⁺型のソース、ドレイン領域63、64を形成する。このような工程により、前記シリコン基板61上にソース、ドレイン領域63、64、ゲート酸化膜65及びゲート電極66からなるMOSトランジスタが作製される。この後、前記フィールド酸化膜62及びゲート電極66を含む基板61全面には、CVD法等により例えばSiO₂からなる層間絶縁膜67を堆積し、更にRFマグネトロンスパッタ法により絶縁

膜であるMgOからなるバッファ層68を堆積する(第14図(a)図示)。

次いで、前記バッファ層68上に写真蝕刻法により前記ドレイン領域64の一部に対応する箇所(第1電極充填用の溝部形成予定部)が開口されたレジストパターン76を形成した後、該レジストパターン76をマスクとしてバッファ層68を選択的にエッチング除去して開口部77を形成する(同図(b)図示)。つづいて、レジストパターン76を除去した後、前記バッファ層68上にRFマグネトロンスパッタ法により例えばジルコン酸チタン酸鉛からなる強誘電体層69を堆積した後、RFマグネトロンスパッタ法によりMgOからなる別の絶縁膜75を堆積する(同図(c)図示)。

次いで、同図(d)に示すように前記絶縁膜75上に前記開口部77に対応する箇所及び前記フィールド酸化膜62の一部に対応する箇所(第2電極充填用の溝部形成予定部)が開口されたレジストパターン78を形成する。つづいて、前記レジストパターン78をマスクとして塩素系の反応性ガスを用

いたイオンビームエッチングを行なう。この時、レジストパターン78の一方の開口穴から露出する絶縁膜75部分では、その下方に位置するバッファ層68に予め開口部77が形成されているため、該絶縁膜75、強誘電体層69、前記バッファ層68の開口部77及び層間絶縁膜67を貫通してエッチングがなされ、前記基板61のドレイン領域64まで達する矩形柱状の溝部70aが形成される。また、前記フィールド酸化膜62の一部に対応する箇所の開口穴から露出する絶縁膜75部分では、その下方にエッチングのストップとして作用するバッファ層68が存在するため、該絶縁膜75、強誘電体層69までしかエッチングがなされず、バッファ層68を底部とする矩形柱状の溝部70bが形成される(同図(e)図示)。

次いで、同図(f)に示すようにレジストパターン78を残存させた状態にて六フッ化タングステンガスを水素ガスで還元するCVD法により前記溝部70a、70bを含むレジストパターン78上に金属タングステン膜79を堆積する。つづいて、前記

レジストパターン78を除去し、該レジストパターン78上の金属タングステン膜79部分を選択的に除去するリフトオフ法により前記各溝部70a、70b内にタングステンを残存させ、第1、第2の電極71a、71bをそれぞれ形成する(同図(g)図示)。ひきつづき、同図(h)に示すようにスパッタリングによりAl膜80を全面に堆積した。この後、写真蝕刻法により形成されたレジストパターン(図示せず)をマスクとして該Al膜80をパターニングすることによって、シリコン基板61上に強誘電体コンデンサが作製された強誘電体メモリを製造する(同図(i)及び第15図図示)。なお、第15図は第14図(i)の平面図である。

本実施例6の方法によれば、バッファ層68に予め開口部77を形成し、かつ該バッファ層68が存在する箇所でエッチングのストップとして作用させることによって、1つのレジストパターンをマスクとしたイオンビームエッチングにより深さの異なる2つの溝部70a、70bを形成できる。その結果、この後の第1、第2の電極71a、71bの形成

を1回の金属タングステン膜の蒸着、リフトオフ法等の工程により形成できるため、工程の簡略化を図ることができる。しかも、第1、第2の電極71a、71b間に挟まれた強誘電体層69部分の厚さを設計寸法通りにでき、厚さのばらつきを解消できるため、第1、第2の電極71a、71bを強誘電体層69に複数組形成した場合、強誘電特性の優れた強誘電体コンデンサを有する強誘電体メモリを実現できる。

即ち、前述した実施例4、5のような構造では溝部70a、70bを別々の工程で形成する必要があり、これに伴って第1電極71a、第2電極71bも別々に金属タングステン膜の蒸着、パターニングより形成する必要があるため、工程が煩雑化する。しかも、第1、第2の電極71a、71bが充填される溝部70a、70bを別々に形成するために、それらのマスク合わせずれにより第1、第2の電極間に強誘電体層69部分の厚さの設計寸法より外れる恐れがある。その結果、第1、第2の電極71a、71bを強誘電体層69に複数組形成して強誘電体メ

メモリを実現する場合、各強誘電体コンデンサ間で強誘電特性にばらつきが生じるという問題を招く。これに対し、本実施例6の方法を採用することによって既述したように強誘電特性の優れた強誘電体コンデンサを有する強誘電体メモリを簡単な工程により製造できる。

また、本実施例6の構成によれば第2電極71bの上端側の表面に絶縁膜75を被覆し、該第2電極71bに接続されるA₂配線81を絶縁膜75上に形成することによって、該第2電極71bの突出近傍のA₂配線81部分での強誘電体層69への電界集中を緩和でき、しかも強誘電体層69に均一な電界を印加できるため、耐圧及び強誘電特性の優れた強誘電体コンデンサを有する強誘電体メモリを実現できる。

なお、上記実施例6ではバッファ層68をエッチングのストッパとして利用したが、これに限定されない。例えば、第18図(A)、(B)に示すように層間絶縁膜67上面にA₂配線81を形成し、この上にバッファ層68、強誘電体層69を堆積するこ

とにより、前記A₂配線81をエッチングストッパとして作用させることができるため、図示しないレジストパターンをマスクとした1回のイオンビームエッチングにより、深さの異なる、つまりシリコン基板61のドレイン領域64にまで達する溝部70aとA₂配線81表面で止まる溝部70bを形成できる。かかる方法によれば前記実施例6と同様な強誘電特性の優れた強誘電体コンデンサを有する強誘電体メモリを簡単な工程により製造することができる。

また、第2電極71bを強誘電体層69の下方の層間絶縁膜67上に配置したA₂配線81に接続することによって、前記強誘電体層69の表面側に別の配線を配置することが可能となる。しかも、同第18図(A)、(B)に示すようにフィールド酸化膜62上に更に別の配線82を配置することも可能となる。

実施例7

第17図(A)は、本実施例7の強誘電体コンデンサを有する強誘電体メモリを示す平面図、同図

(B)は同図(A)のB-B線に沿う断面図である。図中の101は、例えばp型のシリコン基板であり、該基板101の表面には素子領域を電気的に分離するためのフィールド酸化膜102が形成されている。前記フィールド酸化膜102で囲まれた基板101の複数素子領域表面には、複数のn⁺型のソース、ドレイン領域103、104が互いに電気的に分離して形成されている。これらソース、ドレイン領域103、104間のチャンネル領域を含む基板101上には、ゲート酸化膜105を介して例えば多結晶シリコンからなるゲート電極106が形成されている。このようなソース、ドレイン領域103、104、ゲート酸化膜105及びゲート電極106によりMOSトランジスタが構成される。前記フィールド酸化膜102及びゲート電極106を含む基板101全面には、例えばSiO₂からなる第1の層間絶縁膜107が被覆されている。前記ソース、ドレイン領域103、104の一部に対応する前記層間絶縁膜27には、複数のコンタクトホール108が開口されている。前記層間絶縁膜107上には、前記

ソース領域103と前記コンタクトホール108を通してそれぞれ接続される多結晶シリコンからなるソース電極109が設けられている。

前記ソース電極109を含む前記層間絶縁膜107上には、例えばSiO₂からなる第2の層間絶縁膜110が被覆されている。この層間絶縁膜110上には、例えばCVD法により堆積された絶縁膜であるMgOからなるバッファ層111が被覆されている。前記バッファ層111上には、例えばジルコニウム酸チタン酸鉛からなる強誘電体層112が被覆されている。前記強誘電体層112表面から前記バッファ層111、第2、第1の層間絶縁膜107、110を貫通して前記基板101のドレイン領域104表面まで達する複数の矩形柱状の溝部113aが開口され、かつこれら溝部113a内には例えば金属タンゲステンからなる第1電極114aが充填されている。前記強誘電体層112上には、SiO₂からなる第3の層間絶縁膜115が被覆されている。また、前記溝部113a間に位置する前記第3の層間絶縁膜115表面部分から前記強誘電体層112を貫通してバッ

ファ層 111表面まで達する複数の溝部113bが開口され、かつこれら溝部113b内には例えば金属タングステンからなる第2電極114bが充填されている。つまり、前記第1、第2の電極114a、114bは強誘電体層112に交互に配置されている。更に、前記第3の層間絶縁膜115上には前記各第2電極114bの上端と共通接続されるA₂配線116が設けられている。

本実施例7の強誘電体メモリによれば、前記第1、第2の電極114a、114bを強誘電体層112に交互に配置し、かつ各第1電極114aを前記基板101上に形成されたMOSトランジスタのドレイン領域104に接続すると共に、各第2電極114bをA₂配線116で共通接続しているため、第18図に示す等価回路となり、1つのトランジスタTrのドレイン側に2つの強誘電体コンデンサC_sが繋がる構成となる。なお、前記TrはMOSトランジスタ、2つのC_sは前記第1電極114aを中心にして隣接する第2電極114b、114bの間に挟まれた強誘電体層112部分で構成される強誘電体コンデンサ、

ができる。

$$C_{so} = \epsilon A / L \dots (1)$$

ここで、 ϵ は誘電率、Aは電極面積である。Lが僅かに ΔL ずれた場合を想定し、この時の静電容量C_sをLの周りで展開すると、

$$C_s = C_{so} + (dC_{so}/dL) \cdot \Delta L + 1/2 (d^2 C_s / dL^2) \cdot \Delta L \dots (2)$$

2次以上の高次項を無視すると、

$$\begin{aligned} C_s &\sim C_{so} + (dC_{so}/dL) \cdot \Delta L \\ &= C_{so} - \epsilon A \Delta L / L^2 \\ &= C_{so} - \Delta C_s \dots (3) \end{aligned}$$

一方、位置ずれのために電極間距離が $-\Delta L$ ずれた場合の静電容量は、次式で表わされる。

$$\begin{aligned} C_s &\sim C_{so} + (dC_{so}/dL) \cdot (-\Delta L) \\ &= C_{so} + \epsilon A \Delta L / L^2 \\ &= C_{so} + \Delta C_s \dots (4) \end{aligned}$$

ところで、第19図に示したように第1電極114aを中心にしてこれと隣接する一方の側(左側)の第2電極114bとの距離は $L + \Delta L$ となり、容量はこれに伴って $C_{so} - \Delta C_s$ となる。前記第1電極

Bは前記ソース電極109と繋がるビット線、Wは前記トランジスタTrのゲート電極106に繋がるワード線、Dは前記A₂配線116としてのドライブ線(もしくはプレート線)である。従って、本実施例7では小さい占有面積で大きな容量の複数の強誘電体コンデンサが形成され、高密度に集積された強誘電体メモリを実現できる。

また、本実施例7の構成によれば複数の第1電極114aを中心にしてこれと隣接する複数の第2電極114bの位置がずれた場合でも1つのトランジスタTrに繋がる2つのコンデンサの容量変動を回避できる。これを第19図(A)、(B)及び第20図の等価回路を参照して説明する。

第19図(A)、(B)では第1電極114aに隣接する共通に接続された第2電極114bに位置ずれが生じたために配列方向に ΔL ずれた場合を想定したものである。なお、位置ずれを起こさない場合の電極114a、114b間の距離をL、第1電極114aと片側に隣接する第2電極114bとの静電容量をC_{so}とする。この時、静電容量C_{so}は次式で表わこと

114aと隣接する他方の側(右側)の第2電極114bとの距離は、 $L - \Delta L$ となり、容量はこれに伴って $C_{so} + \Delta C_s$ となる。このため、 ΔL が極端に大きくない限り、第1電極114aを中心にしてこれと隣接する2つの第2電極114bの間の容量は前記 $C_{so} - \Delta C_s$ と $C_{so} + \Delta C_s$ の和となり、結局位置ずれを起こしても $2C_{so}$ となって変化せず、容量変動を抑制できる効果を有する。

また、第17図(A)、(B)に示すように第1、第2の電極114a、114bを強誘電体層112に交互に配置することによって、第1電極114a間でのクロス・トークを第2電極114bの介在により抑制できる。この場合、第2電極の平面的な面積を第1電極のそれより大きくする構成にすれば、前記クロス・トークをより効果的に抑制できる。

実施例8

第21図(A)は、本実施例8の強誘電体コンデンサを有する強誘電体メモリを示す平面図、同図(B)は同図(A)のB-B線に沿う断面図である。なお、前述した第17図と同様な部材は同符号

を付して説明を省略する。本実施例8の強誘電体メモリは、第21図に示すように強誘電体層112に深さの異なる複数の溝部113a、113bを2次元的に開口し、かつこれら溝部113a、113b内に第1、第2の電極114a、114bをX、Y方向に交互に配置されるように充填し、更に各第1電極を基板101上に形成されたMOSトランジスタのドレイン領域104に接続すると共に各第2電極114bを第3の層間絶縁膜115上に配置したA₂配線116で共通接続した複数の強誘電体コンデンサを有する構造になっている。

本実施例8の強誘電体メモリは、第22図に示す等価回路となり、1つのトランジスタTrのドレイン側に4つの強誘電体コンデンサC_sが繋がる構成となる。なお、前記Trはソース、ドレイン領域103、104、ゲート酸化膜105及びゲート電極106で構成されるMOSトランジスタ、4つのC_sは前記第1電極114aを中心にしてXY方向に隣接する4つの第2電極114bの間に挟まれた強誘電体層112部分で構成される強誘電体コンデンサ、

と共にシリコン基板101上に形成されたMOSトランジスタのドレイン領域104にそれぞれ接続し、かつ第3の層間絶縁膜115表面部分から前記強誘電体層112を貫通してバッファ層111表面まで達する格子状の溝部113を前記各溝部113aをそれぞれ囲むように開口し、該格子状の溝部113内に例えば金属タンゲステンからなる第2電極114bを充填し、前記第2電極114bを第3の層間絶縁膜115上に配置したA₂配線116で共通接続した複数の強誘電体コンデンサを有する構造になっている。

本実施例9の強誘電体メモリは、前述した実施例8と同様、第22図に示す等価回路となり、1つのトランジスタTrのドレイン側に4つの強誘電体コンデンサC_sが繋がる構成となる。従って、本実施例9では前記実施例7に比べ、更に小さい占有面積で大きな容量の複数の強誘電体コンデンサが形成され、高密度に集積された強誘電体メモリを実現できる。

更に、隣接する第1電極114a間において第2電

Bは前記ソース電極109と繋がるビット線、Wは前記トランジスタTrのゲート電極106に繋がるワードライン、Dは前記A₂配線116としてのドライブ線（もしくはプレート線）である。従って、本実施例8では前記実施例7に比べ、更に小さい占有面積で大きな容量の複数の強誘電体コンデンサが形成され、高密度に集積された強誘電体メモリを実現することができる。

実施例9

第23図(A)は、本実施例9の強誘電体コンデンサを有する強誘電体メモリを示す平面図、同図(B)は同図(A)のB-B線に沿う断面図である。なお、前述した第17図と同様な部材は同符号を付して説明を省略する。本実施例9の強誘電体メモリは、第23図に示すように強誘電体層112表面からバッファ層111、第2、第1の層間絶縁膜107、110を貫通して前記基板101のドレイン領域104表面まで達する複数の矩形柱状の溝部113aを開口し、これら溝部113a内には例えば金属タンゲステンからなる第1電極114aをそれぞれ充填す

極114bが完全に介在するように前記第1、第2の電極114a、114bが配置されているため、極めて効果的に第1電極114a間のクロストークを抑制できる。

実施例10

本実施例10は、強誘電体コンデンサを有する強誘電体メモリの製造に適用したもので、その工程を第24図(a)～(f)及び第25図～第32図を参照して説明する。

まず、例えばp型のシリコン基板201を選択酸化して該基板201の表面に素子領域を電気的に分離するためのフィールド酸化膜202を形成する。つづいて、前記フィールド酸化膜202で囲まれた基板201の表面を熱酸化して薄い酸化膜を形成し、全面に例えば砒素等の不純物を含む多結晶シリコン膜を堆積し、更に該多結晶シリコン膜を熱酸化して表面にシリコン酸化膜を成長させた後、これらシリコン酸化膜、多結晶シリコン膜及び酸化膜をパターンニングして前記基板201上にゲート酸化膜203を介してゲート電極204、シリコン酸化膜

パターン 205を形成する。ひきつづき、前記フィールド酸化膜 202及びゲート電極 204をマスクとしてn型不純物、例えば砒素を基板 201にイオン注入し、活性化して互いに電気的に分離されたn⁺型のソース、ドレイン領域 206、207を形成する(第24図(a)及び第25図図示)。このような工程によりソース、ドレイン領域 206、207、ゲート酸化膜 203及びゲート電極 204からなるMOSトランジスタが作製される。なお、第25図は同図(a)の平面図で、かつ同図(a)は同第25図のX₁-X₁線に沿う断面図である。

次いで、前記フィールド酸化膜 202及びゲート電極 204を含む基板 201全面にCVD法等により例えばSiO₂からなる第1の層間絶縁膜 208を堆積し、更にCVD法によりn型不純物、例えば砒素を含む多結晶シリコン膜を堆積した後、該多結晶シリコンをパターンニングしてプレート線 209を形成する。このプレート線 209は、同図(b)及び第26図に示すように前記ソース、ドレイン領域 206、207の箇所で抜け、かつ2つの列方向に

並ぶ強誘電体コンデンサに対して共通接続するよう分離された形状になっている。なお、第26図は同図(b)の平面図で、かつ同図(b)は同第26図のX₁-X₁線に沿う断面図である。

次いで、前記プレート線 209を含む第1の層間絶縁膜 208上にCVD法により例えばボロンリンシリケート(BPSG)からなる第2の層間絶縁膜 210を堆積した後、熱処理して表面を平坦化し、更にRFマグネトロンスパッタ法により絶縁膜であるMgOからなるバッファ層 211を堆積する。つづいて、このバッファ層 211上にRFマグネトロンスパッタ法により例えばジルコニウム酸チタン酸鉛を堆積した後、パターンニングする。この工程により、同図(c)及び第27図に示すように前記ソース領域 206の箇所で抜け、かつ2つの列方向に並ぶ強誘電体コンデンサに対して共通化される形状の強誘電体層 212が形成される。なお、第27図は同図(c)の平面図で、かつ同図(c)は同第27図のX₁-X₁線に沿う断面図である。

次いで、全面にCVD法により例えばSiO₂

からなる第3の層間絶縁膜 213を堆積する。前記第3の層間絶縁膜 213を堆積した後、700℃の温度で熱処理を施し、前記強誘電体層 212に含まれる不純物を前記第2の層間絶縁膜 210もしくは第3の層間絶縁膜 213にゲッタリングさせた。この時、前記強誘電体層 212と前記第2、第3の層間絶縁膜 210、213との界面に非強誘電体層(低誘電率層)が形成されても特性上、問題にならない。更に、前記第3の層間絶縁膜 213上に写真蝕刻法により第1、第2の電極用溝部形成予定部が開口されたレジストパターン(図示せず)を形成した後、該レジストパターンをマスクとして塩素系の反応性ガスを用いたイオンビームエッチングを行なう。この工程により、同図(d)及び第28図に示すように深さの異なる矩形柱状の溝部214a、214bが開口される。前記溝部214aは、ドレイン領域 207まで達し、該溝部214aの周囲の3辺には溝部214bが配置される。これら溝部214bは、前記プレート線 209のエッチングストップ作用により該プレート線 209表面を底部とする形状をなす。な

お、第28図は同図(d)の平面図で、かつ同図(d)は同第28図のX₁-X₁線に沿う断面図である。つづいて、レジストパターン(図示せず)を残存させた状態にて六フッ化タングステンガスを水素ガスで還元するCVD法により前記溝部214a、214bを含むレジストパターン上に金属タングステン膜を堆積した後、該レジストパターンを除去し、その上の金属タングステン膜部分を選択的に除去するリフトオフ法により前記各溝部214a、214b内にタングステンを残存させ、第1、第2の電極215a、215bをそれぞれ形成する(同図(e)図示)。

次いで、前記第1、第2の電極215a、215bの上面が露出した前記第3の層間絶縁膜 213上にCVD法により例えばSiO₂からなる第4の層間絶縁膜 216を堆積し、前記ソース領域 206に対応する第4、第3の層間絶縁膜 216、213、バッファ層 211、第2、第1の層間絶縁膜 210、208に亘って選択的にエッチングしてコンタクトホール 217を開口した後、全面にAl膜を堆積し、こ

れをパターニングして前記コンタクトホール 217を通して前記ソース領域 208に接続されるA₁配線 218を形成する。この後、図示しない保護膜を全面に堆積して強誘電体コンデンサ・アレイを製造する（同図（f）、第29図～第32図図示）。なお、第29図は同図（f）の平面図で、かつ同図（f）は同第29図のX₁-X₁線に沿う断面図である。また、第30図～第32図はそれぞれ第29図のX₂-X₂線、Y₁-Y₁線、Y₂-Y₂線に沿う断面図である。

本実施例10の方法によれば、第1の層間絶縁膜 208上にソース、ドレイン領域 206、207に対応する箇所が抜けた多結晶シリコン等からなるプレート線 209を設け、該プレート線 209をエッチングストップとして利用することによって、レジストパターンをマスクとした1回のイオンビームエッチングにより深さの異なる溝部 214a、214b、つまりドレイン領域 207まで達する溝部 214aと前記プレート線 209を底部とする溝部 214bを開口できる。その結果、この後の第1、第2の電極 215a、

215bの形成を1回の金属タングステン膜の蒸着、リフトオフ法等の工程により形成できるため、工程の簡略化を図ることができる。しかも、第1、第2の電極 215a、215b間に挟まれた強誘電体層 212部分の厚さを設計寸法通りにできるため、容量が安定化でき、強誘電特性の優れた複数の強誘電体コンデンサを備えた強誘電体メモリを実現できる。

また、本実施例10の構成によれば第24図（f）、第29図～第32図に示すように1つのトランジスタのドレイン領域 207に接続された第1電極 215aの周囲3辺に強誘電体層 212を挟んでプレート線 209に共通接続された第2電極 215bを配置できるため、前記トランジスタのドレイン領域 207に3つの強誘電体コンデンサを繋げることができ、高密度に集積された強誘電体メモリを実現することができる。

更に、第2電極を強誘電体層 212の下方に配置したプレート線 209で共通接続することによって、ビット線として用いられるA₁配線 218を強誘電

体層 212の上面側の第4の層間絶縁膜 216に配置できるため、設計の自由度を上げることできると共に、高密度に集積された強誘電体メモリを実現できる。

なお、面方向に自発分極軸を持つ強誘電体層（例えば正方晶タングステン・ブロンズ型結晶構造を持つニオブ酸バリウム・ストロンチウム層）を実施例1～10と同様にバッファ層上に設け、溝部の形成、これら溝部への第1、第2の電極の充填を行った構造の強誘電体コンデンサでも強誘電特性に特有なヒステリシス曲線を示すことが確認された。

〔発明の効果〕

以上詳述した如く、本発明によれば小さい占有面積で大きな電極面積を持ち大きな電荷を蓄積することが可能な強誘電体コンデンサを提供できる。しかも、本発明によれば強誘電体層とその下地との間に形成される低誘電率層に起因する強誘電特性の低下が少なく、優れた電気特性を有する強誘電体コンデンサを提供できる。また、本発明

によれば自発分極軸が面方向にのみ向いている強誘電体層を用いても良好な強誘電性を有する強誘電体コンデンサを提供できる。更に、本発明によれば絶縁材でコンデンサ間、コンデンサと配線間の電気的な分離を行うことによって、誤動作が少なく、しかも浮遊容量に起因する遅延時間を小さくことができ、ひいては高集積度のコンデンサ・アレイを実現できる。

更に、本発明によれば強誘電体コンデンサの第1、第2の電極のうちの一方の電極を基板上に形成されたトランジスタと接続し、他方の電極を外部の配線に接続したり、第1、第2の電極を交互に配置し、一方の電極をトランジスタに他方の電極を配線に共通接続する形態を採用することによって、複数の強誘電体コンデンサ等が高密度に集積された強誘電体メモリ等の半導体装置を実現することができる。

4. 図面の簡単な説明

第1図（A）は本発明の実施例1における強誘電体コンデンサ・アレイを示す平面図、同図

(B) は同図(A)のB-B線に沿う部分断面斜視図、第2図は実施例1の強誘電体コンデンサの電圧と電荷量のヒステリシス特性を示す線図、第3図は実施例1の強誘電体コンデンサのスイッチング特性を示す線図、第4図は本発明の強誘電体コンデンサの作用を説明するための部分断面斜視図、第5図(A)、(B)～第8図(A)、(B)は本発明の実施例2における強誘電体コンデンサ・アレイの製造工程を示し、各図中の(A)は平面図、各図中の(B)はそれに対応する(A)のB-B線に沿う部分断面斜視図である。第9図は本発明の実施例3における強誘電体メモリを示す断面図、第10図は第9図の強誘電体メモリアレイの等価回路図、第11図は第9図の強誘電体メモリの等価回路図である。第12図(A)は本発明の実施例4における強誘電体メモリを示す平面図、同図(B)は同図(A)のB-B線に沿う断面図、第13図は本発明の実施例5における強誘電体メモリを示す断面図、第14図(a)～(i)は本実施例6の強誘電体メモリの製造工程を示す断面図、

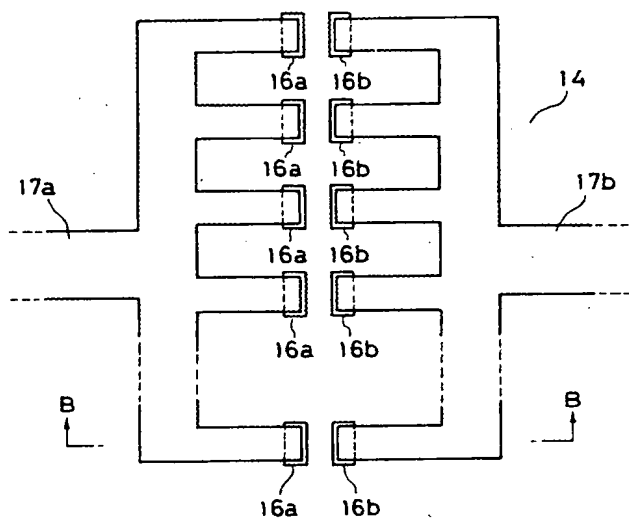
第15図は第14図(i)の平面図、第16図(A)は本発明の実施例6の変形例を示す強誘電体メモリの平面図、同図(B)は同図(A)のB-B線に沿う断面図、第17図(A)は本発明の実施例7における強誘電体メモリを示す平面図、同図(B)は同図(A)のB-B線に沿う断面図、第18図は第17図の強誘電体メモリの等価回路図、第19図(A)は本発明の実施例7における強誘電体メモリの作用を説明するための平面図、同図(B)は同図(A)のB-B線に沿う断面図、第20図は第19図の強誘電体メモリの等価回路図、第21図(A)は本発明の実施例8における強誘電体メモリを示す平面図、同図(B)は同図(A)のB-B線に沿う断面図、第22図は第21図の強誘電体メモリの等価回路図、第23図(A)は本発明の実施例9における強誘電体メモリを示す平面図、同図(B)は同図(A)のB-B線に沿う断面図、第24図(a)～(f)は本発明の実施例10における強誘電体メモリの製造工程を示す断面図、第25図は第24図(a)の平面図、第26図は第24図(b)の平

面図、第27図は第24図(c)の平面図、第28図は第24図(d)の平面図、第29図は第24図(f)の平面図、第30図～第32図はそれぞれ第29図の X_1-X_2 線、 Y_1-Y_2 線、 Y_2-Y_3 線に沿う断面図、第33図は強誘電相の電界と分極の関係を示す線図、第34図は常誘電相の電界と分極の関係を示す線図、第35図(A)は従来のプレーナ型コンデンサを示す平面図、同図(B)は同図(A)のB-B線に沿う断面図、第36図は第35図のプレーナ型コンデンサの等価回路図である。

1、11、21、41、61、101、201…シリコン基板、2、14、33、44、69、112、212…強誘電体層、13、32、43、68、111、211…バッファ層、13a、13b、34a、34b、48a、48b、70a、70b、113a、113b、113、214a、214b…溝部、15a、15b、35a、35b、49a、49b、71a、71b、114a、114b、215a、215b…電極、17a、17b、36、50a、50b、74、81、82、109、116、218…配線、23、63、103、206… n^+ 型ソース領域、24、64、104、207、… n^+ 型ドレイン領域、

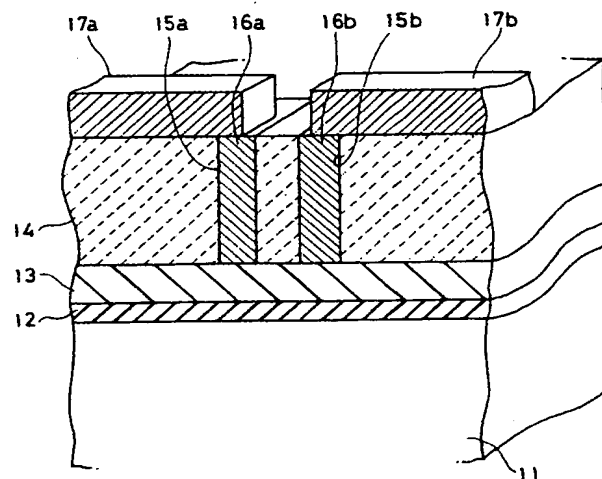
26、66、105、204…ゲート電極、46…強誘電体からなる矩形柱、47…プラズマ SiO_2 、Tr…MOSトランジスタ、C…強誘電体コンデンサ、B…ビット線、W…ワード線、D…ドライブ線(もしくはプレート線)。

出願人代理人 井理士、鈴江武彦



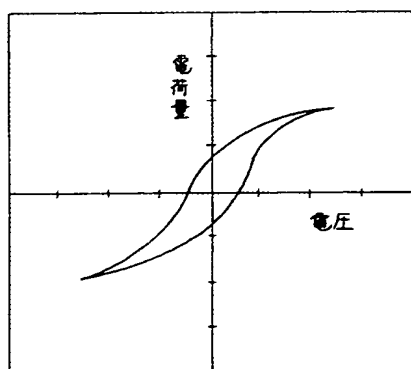
(A)

第 1 図



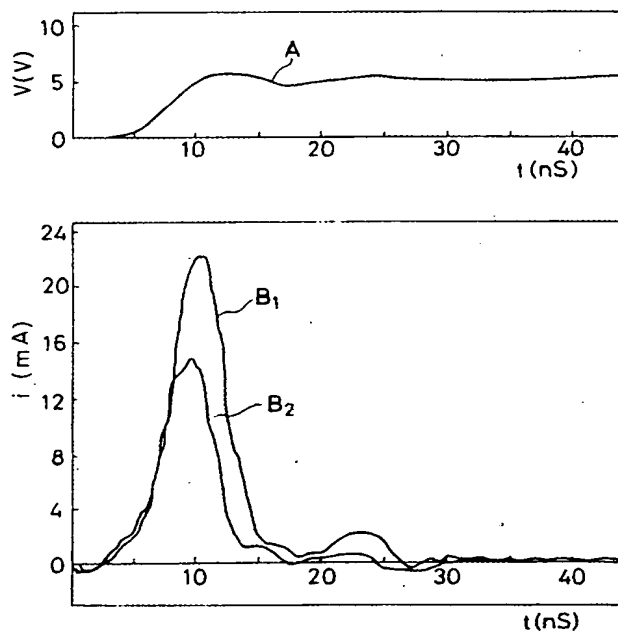
(B)

第 1 図



電 圧 : 2V/div
電 荷 量 : 200pc/div

第 2 図



第 3 図

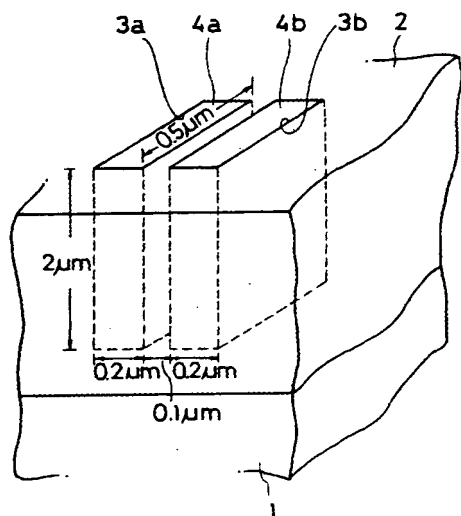
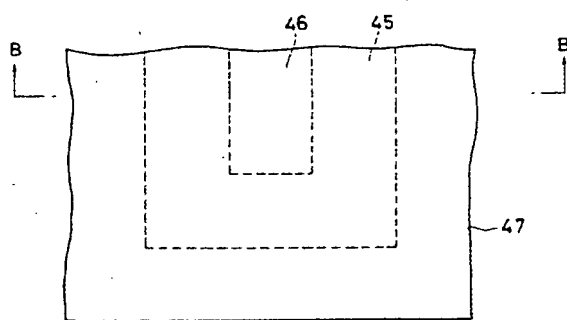
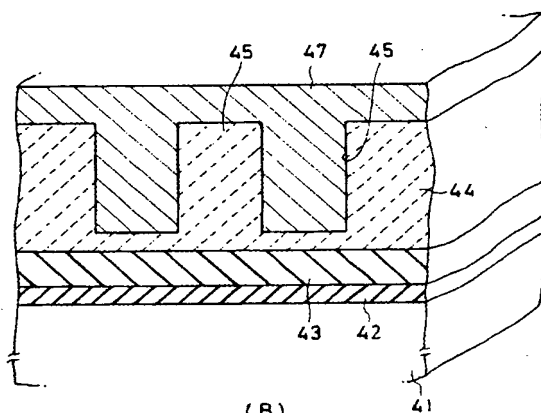


図 4

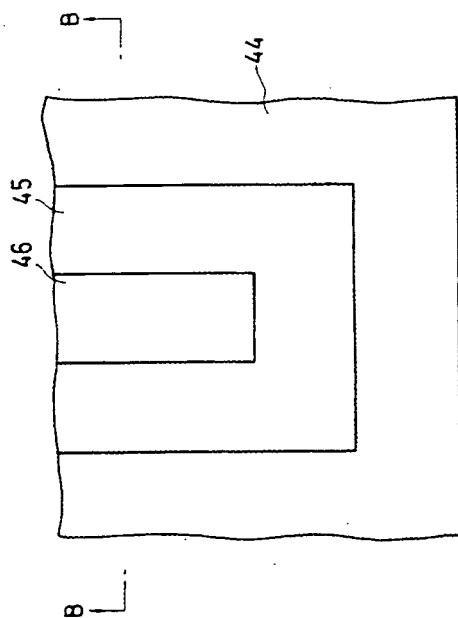


(A)

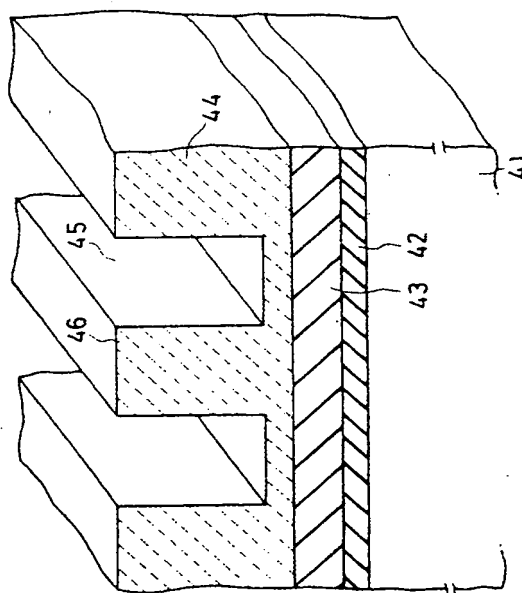


(B)

図 6

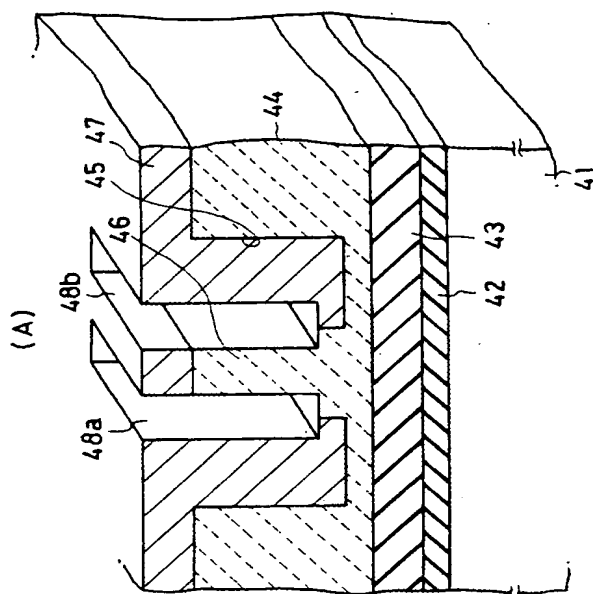
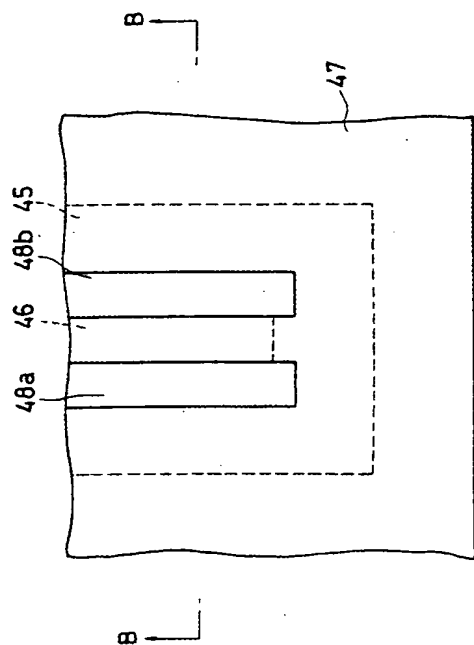


(A)

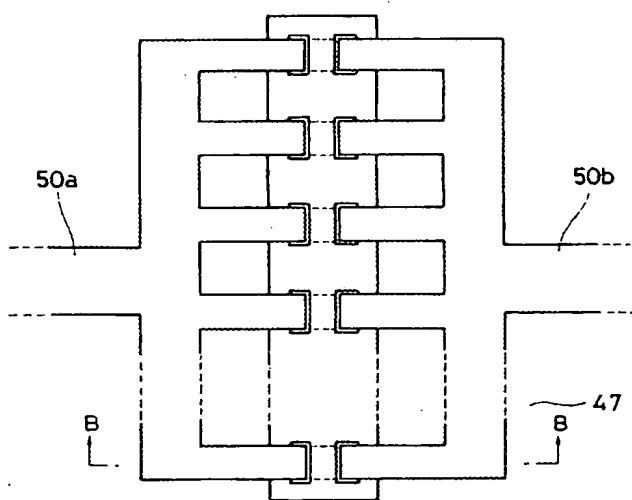


(B)

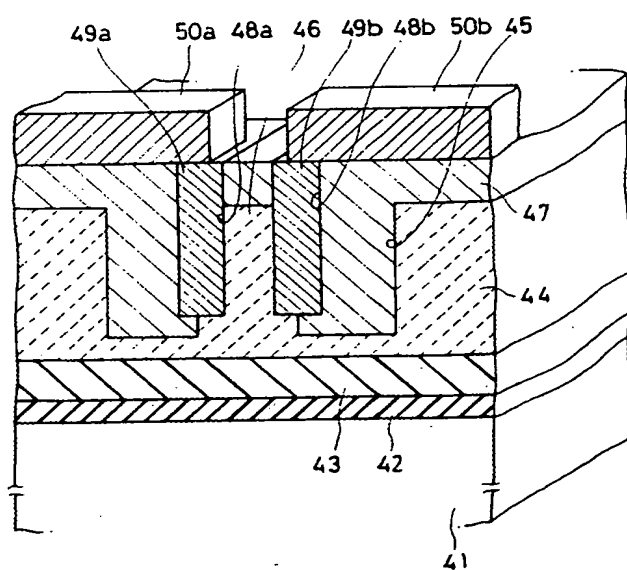
図 5



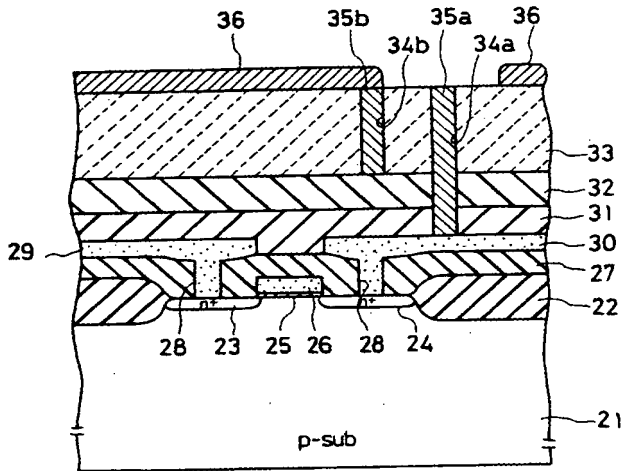
第 7 図 (B)



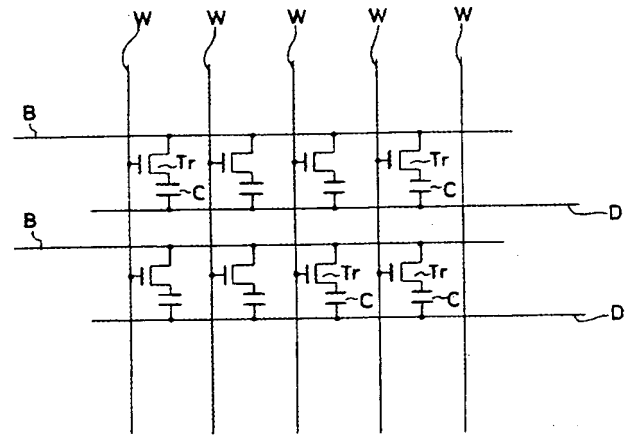
(A)
第 8 図



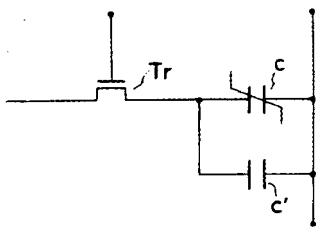
(B)
第 8 図



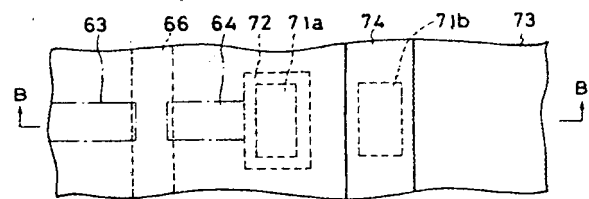
第 9 図



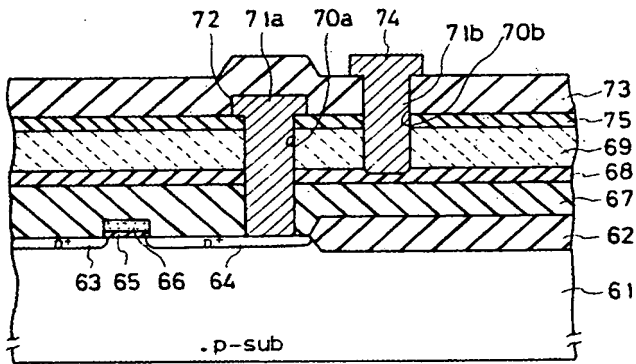
第 10 図



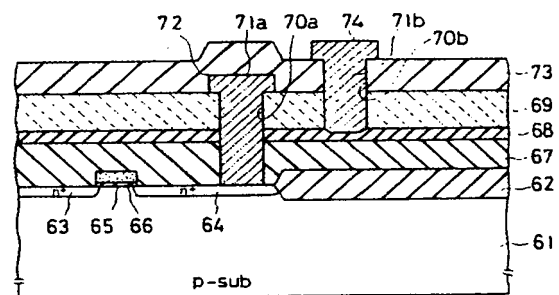
第 11 図



(A)

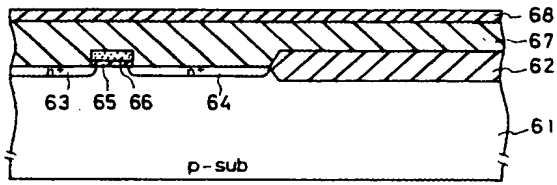


第 13 図

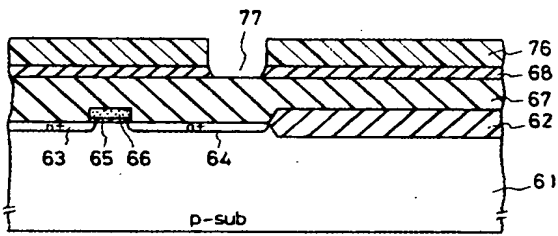


(B)

第 12 図

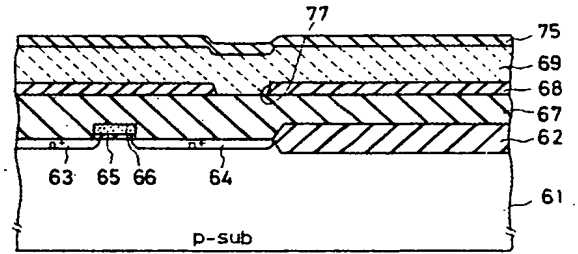


(a)

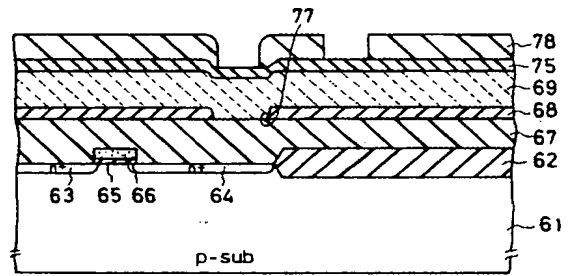


(b)

図 14 例

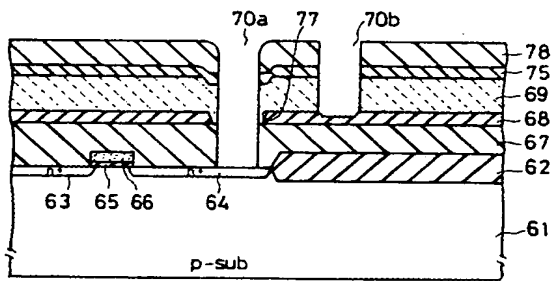


(c)

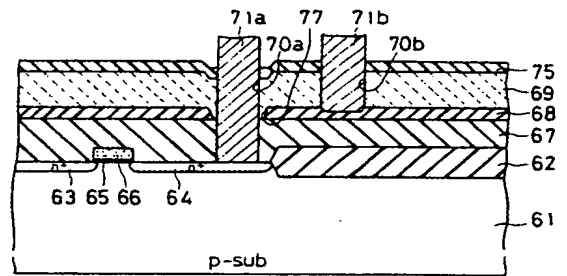


(d)

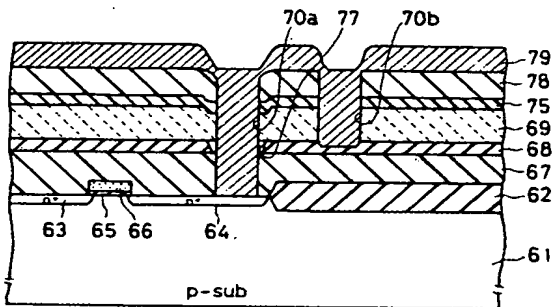
第 14 図



(e)

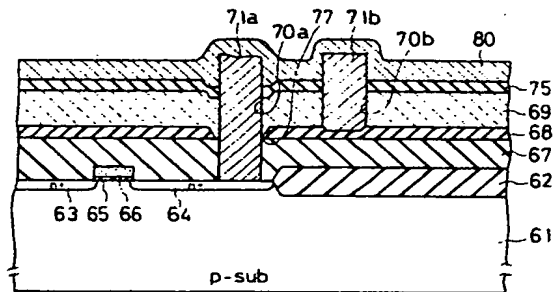


(g)



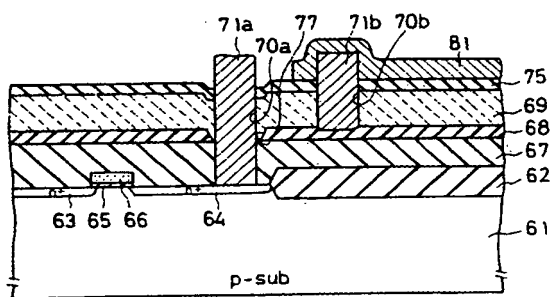
(f)

第 14 例



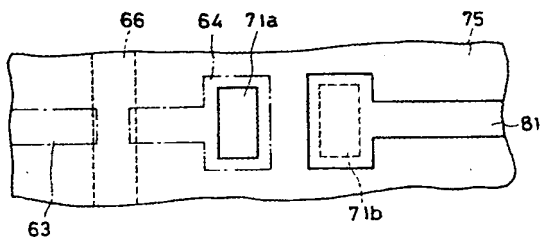
(h)

第 14 例

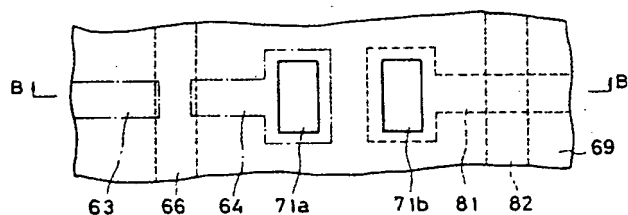


(I)

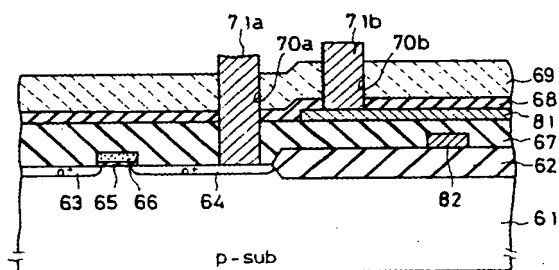
第 14 図



第 15 図

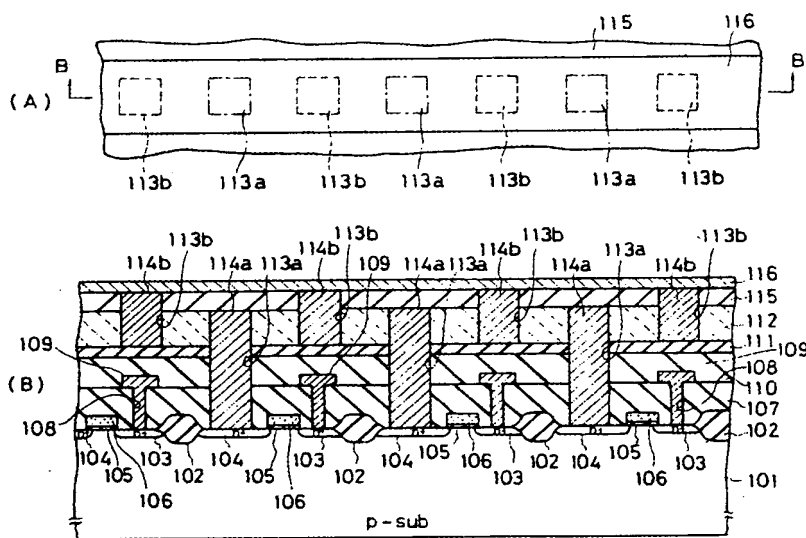


(A)

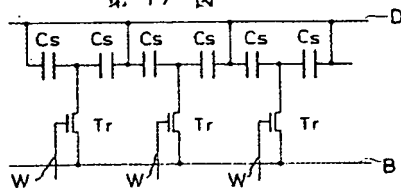


(B)

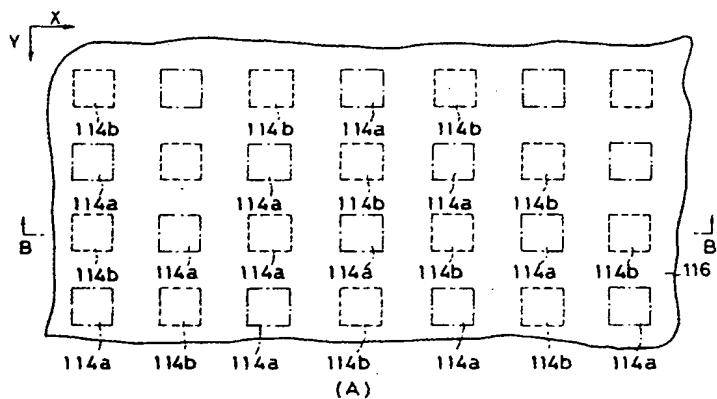
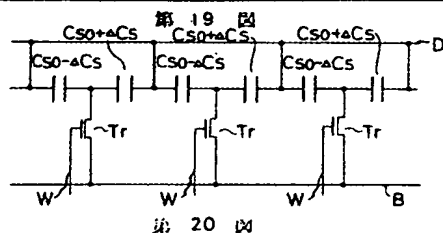
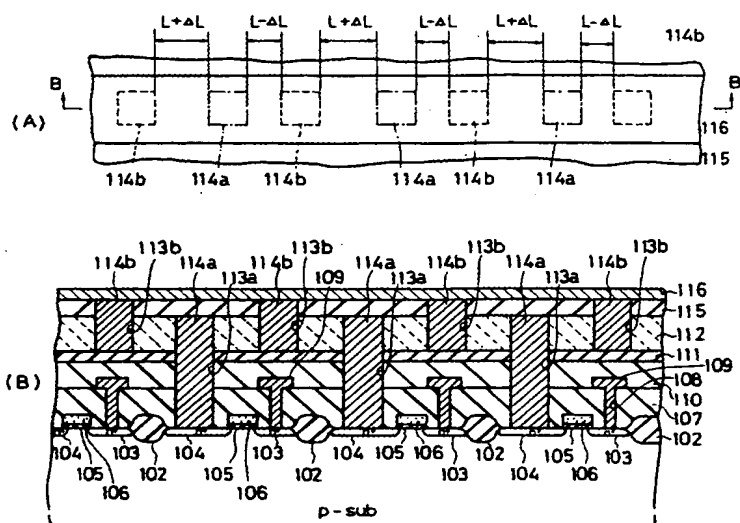
第 16 図



第 17 図



第 18 図



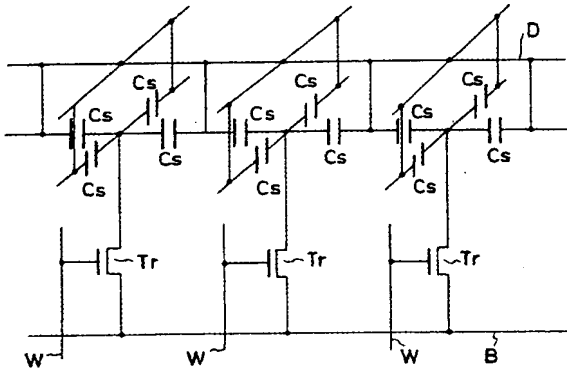
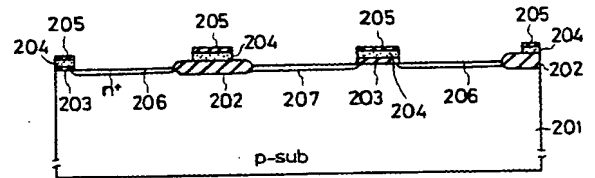
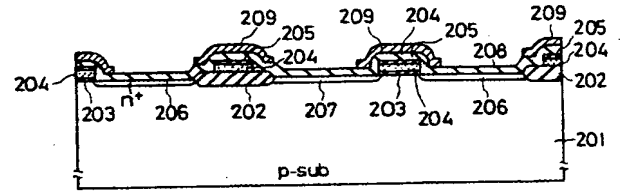


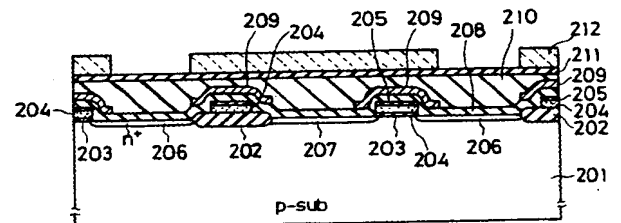
図 22



(a)

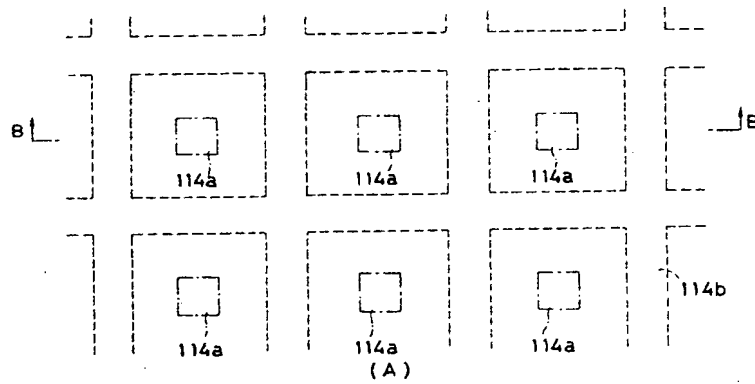


(b)

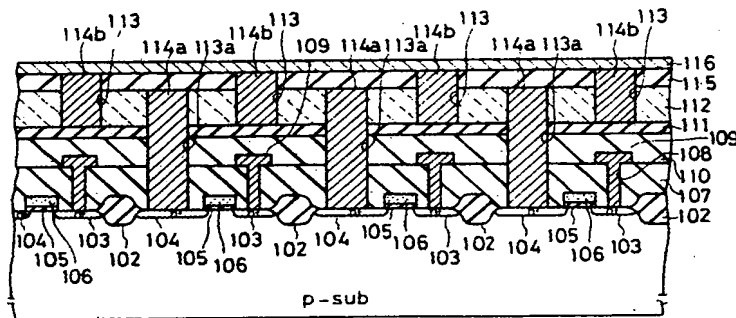


(c)

図 24

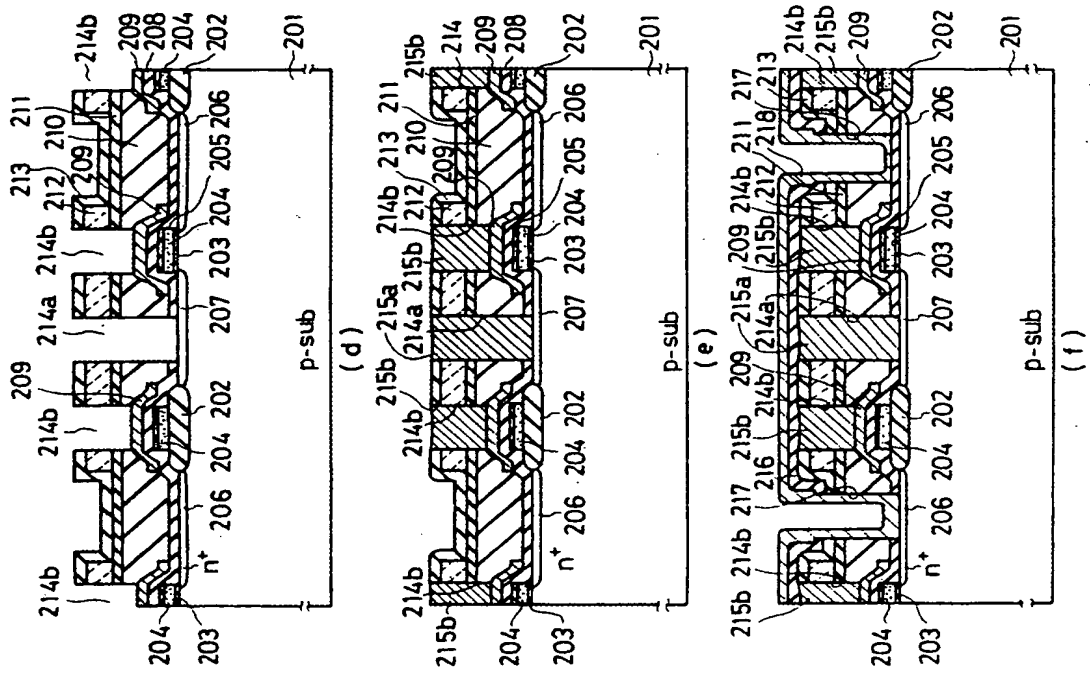


(A)

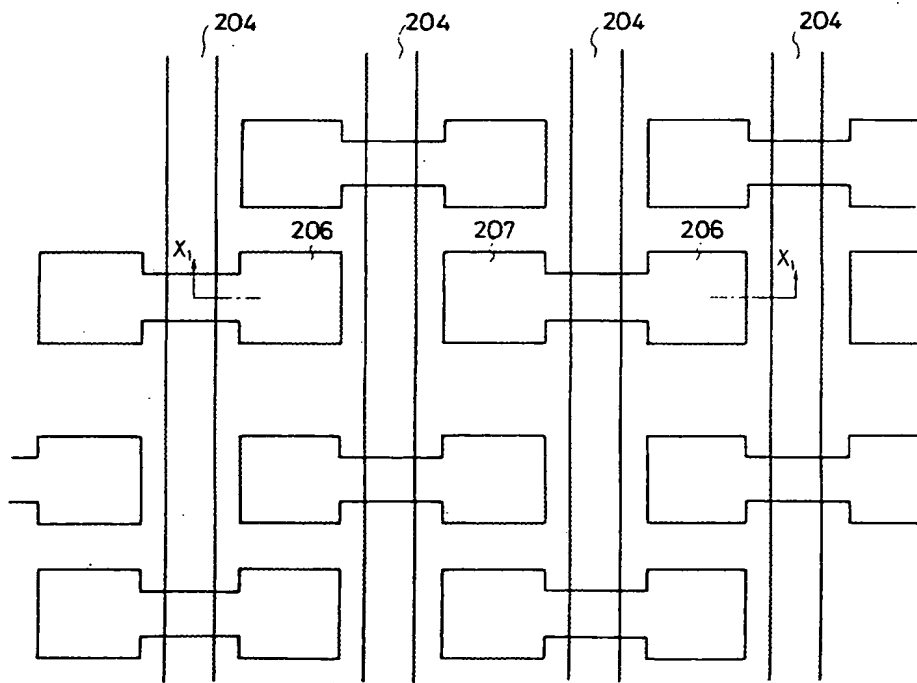


(B)

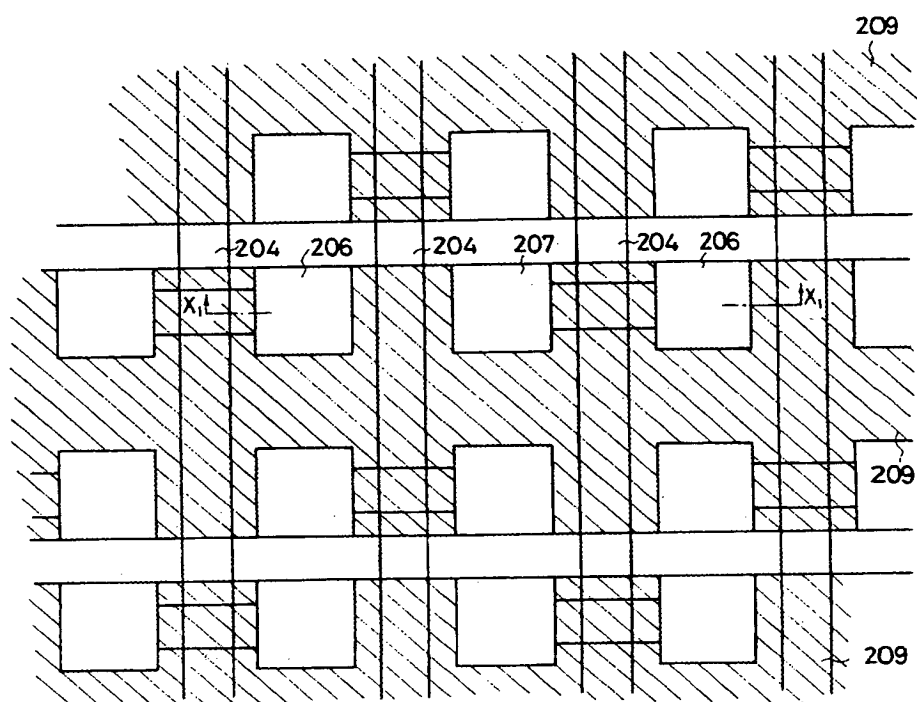
図 23



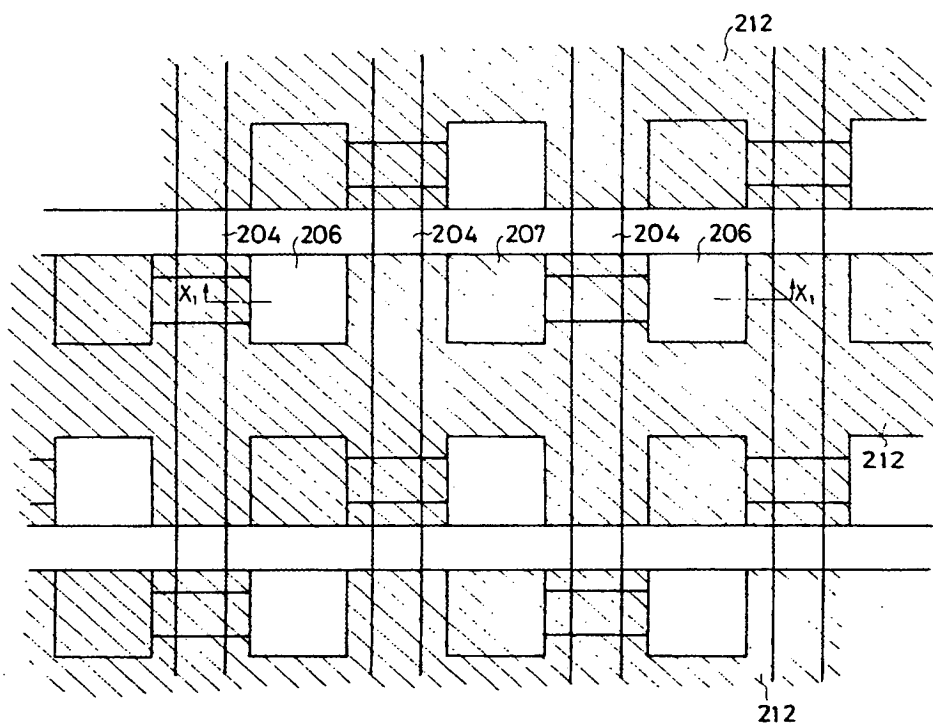
第 24 図



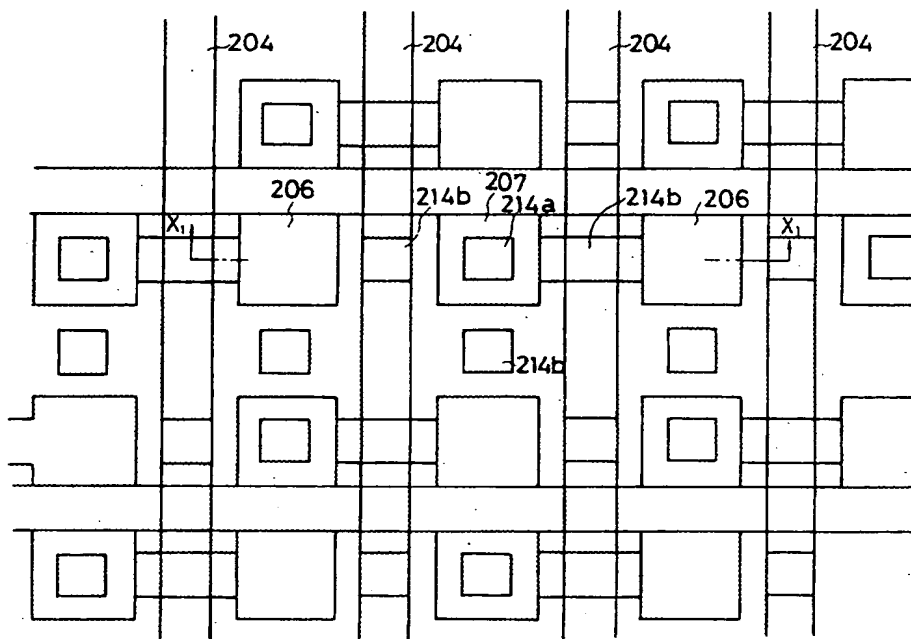
第 25 図



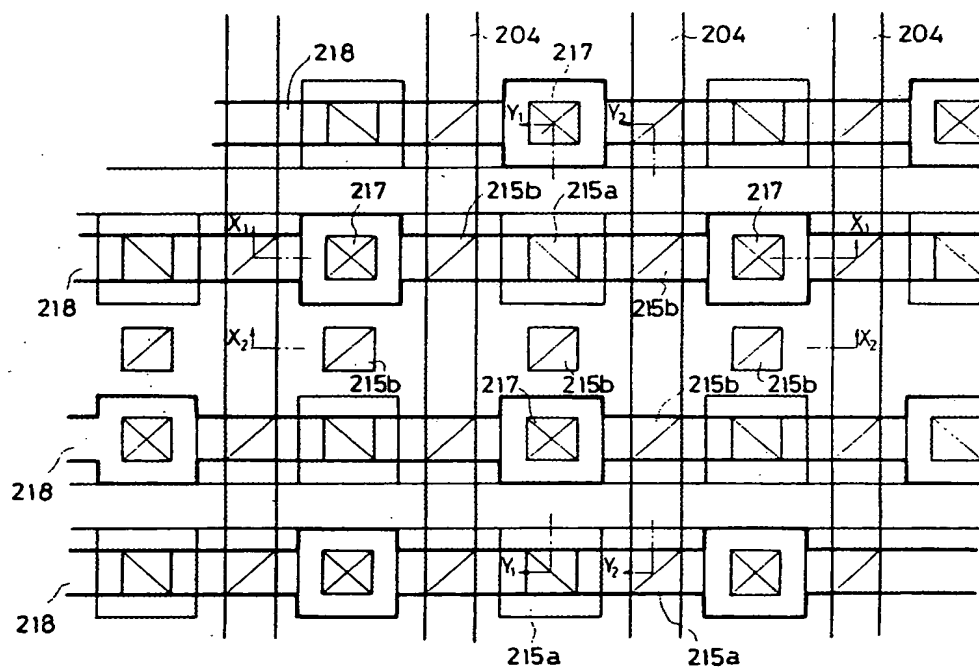
第 26 図



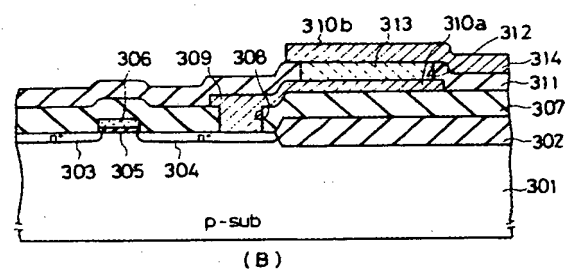
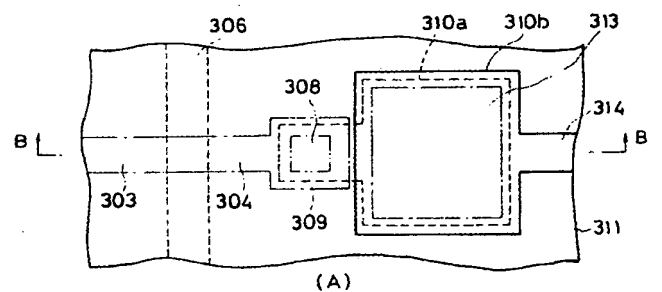
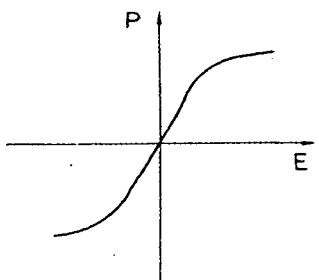
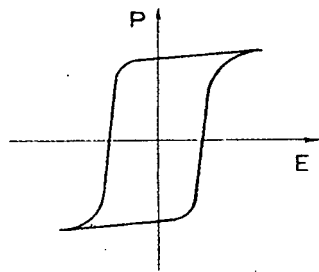
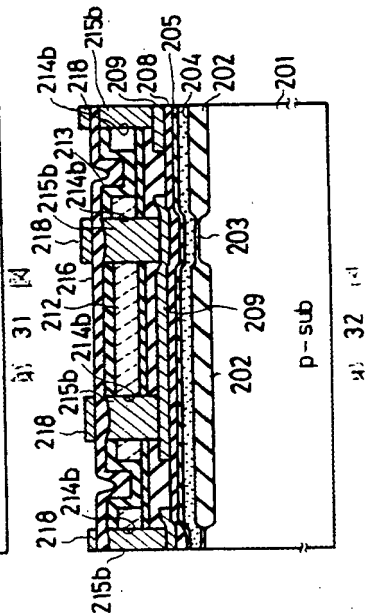
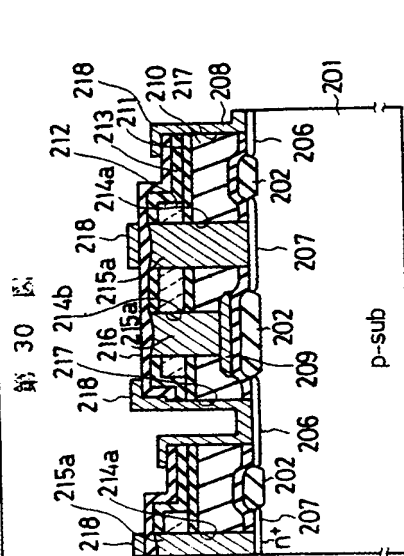
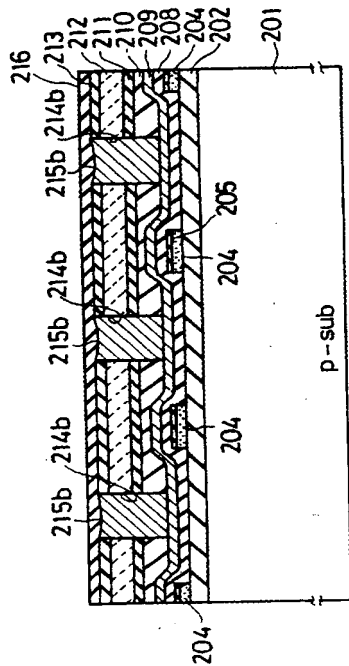
第 27 図



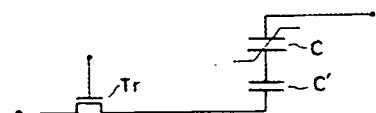
第 28 図



第 29 図



35 14



第 1 頁の続き

⑤Int. Cl. ⁵

識別記号

庁内整理番号

G 11 C 11/22
H 01 G 7/06
H 01 L 27/04
27/112
29/792

C

8522-5L
7924-5E
7514-4M

優先権主張 ⑥平 2(1990) 3 月 30 日 ⑦日本(J P) ⑧特願 平 2-84647

⑨発 明 者 作 井 康 司 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝総合
研究所内

THIS PAGE BLANK (USPTO)